

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-333081

(P2000-333081A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl.⁷

識別記号

F I

テ-マコード (参考)

H 0 4 N 5/335

H 0 4 N 5/335

E 5 C 0 2 2

5/225

5/225

Z 5 C 0 2 4

審査請求 有 請求項の数19 O L (全 13 頁)

(21) 出願番号

特願平11-141067

(22) 出願日

平成11年5月21日 (1999. 5. 21)

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 清水 一夫

東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

(74) 代理人 100081710

弁理士 福山 正博

Fターム (参考) 5C022 AC42 AC69

5C024 AA01 CA25 FA01 FA11 GA31

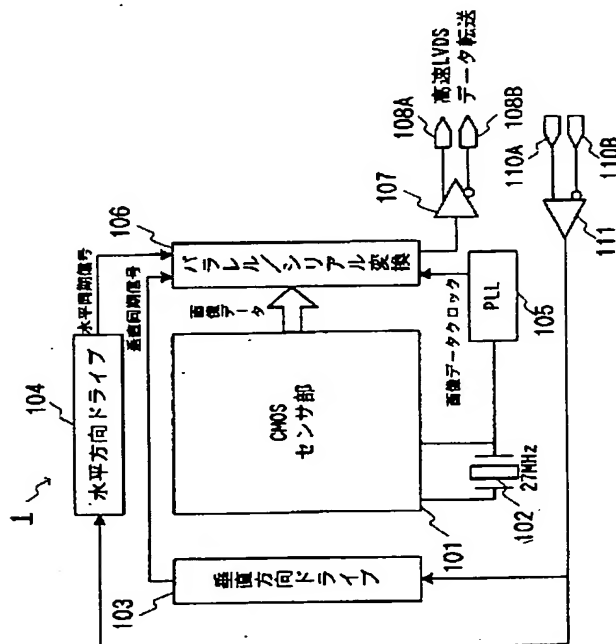
HA09 HA15 HA23 JA04

(54) 【発明の名称】 シリアルデータ伝送機能付CMOSセンサユニット、それを用いた撮像ユニット及び画像データ送受信システム

(57) 【要約】

【課題】 構成の簡素化、低信号劣化、低消費電流、低ノイズ、伝送距離の拡張を可能としたシリアルデータ伝送機能付CMOSセンサユニットを提供する。

【解決手段】 CMOSセンサ101にPLL回路105及びパラレル/シリアル変換回路106をワンチップ上に一体化し、またLVDSのドライバ107も一体化している。



【特許請求の範囲】

【請求項1】行方向及び列方向に規則的に配設された複数のCMOS素子から成る2次元センサとしてのCMOSセンサ部と、所定の発振周波数のクロック信号を得るためのクロック部と、前記クロック部からのクロック信号を受けるPLL回路部と、前記PLL回路部からのクロック信号に同期して前記CMOSセンサ部から読み出したパラレルデータをシリアルデータに変換するパラレル／シリアル変換器部と、がワンチップ上に搭載されて成ることを特徴とするシリアルデータ伝送機能付CMOSセンサユニット。

【請求項2】行方向及び列方向に規則的に配設された複数のCMOS素子から成る2次元センサとしてのCMOSセンサ部と、所定の発振周波数のクロック信号を得るためのクロック部と、前記クロック部からのクロック信号を受けるPLL回路部と、前記PLL回路部からのクロック信号に同期して前記CMOSセンサ部から読み出したパラレルデータをシリアルデータに変換するパラレル／シリアル変換器部と、前記パラレル／シリアル変換回路で変換されたシリアル画像データを、LVDS (Low Voltage Differential Signalling) 信号伝送方式に従った信号に変換してLVDSデータとして出力するドライバ回路部と、がワンチップ上に搭載されて成ることを特徴とするシリアルデータ伝送機能付CMOSセンサユニット。

【請求項3】行方向及び列方向に規則的に配設された複数のCMOS素子から成る2次元センサとしてのCMOSセンサ部と、所定の発振周波数のクロック信号を得るためのクロック部と、前記クロック部からのクロック信号を受けるPLL回路部と、前記CMOSセンサ部から出力される画像データを記憶するメモリと、前記PLL回路部からのクロック信号に同期して前記メモリから読み出したパラレルデータをシリアルデータに変換するパラレル／シリアル変換器部と、がワンチップ上に搭載されて成ることを特徴とするシリアルデータ伝送機能付CMOSセンサユニット。

【請求項4】行方向及び列方向に規則的に配設された複数のCMOS素子から成る2次元センサとしてのCMOSセンサ部と、所定の発振周波数のクロック信号を得るためのクロック部と、前記クロック部からのクロック信号を受けるPLL回路部と、前記CMOSセンサ部から出力される画像データを記憶するメモリと、前記PLL回路部からのクロック信号に同期して前記メモリから読み出したパラレルデータをシリアルデータに変換するパラレル／シリアル変換器部と、前記パラレル／シリアル変換回路で変換されたシリアル画像データを、LVDS (Low Voltage Differential Signalling) 信号伝送方式に従った信号に変換してLVDSデータとして出力するドライバ回路部と、がワンチップ上に搭載されて成ることを特徴とするシリアルデータ伝送機能付CMOSセ

ンサユニット。

【請求項5】前記メモリは、ラインメモリまたはフレームメモリであることを特徴とする請求項3または4に記載のシリアルデータ伝送機能付CMOSセンサユニット。

【請求項6】行方向及び列方向に規則的に配設された複数のCMOS素子から成る2次元センサとしてのCMOSセンサ部と、所定の発振周波数のクロック信号を得るためのクロック部と、前記クロック部からのクロック信号を受けるPLL回路部と、前記PLL回路部からのクロック信号に同期して前記CMOSセンサ部から読み出したパラレルデータをシリアルデータに変換するパラレル／シリアル変換器部と、前記パラレル／シリアル変換器部で得られたシリアルデータを記憶するメモリと、がワンチップ上に搭載されて成ることを特徴とするシリアルデータ伝送機能付CMOSセンサユニット。

【請求項7】前記クロック部は、前記クロック信号を発振する発振部を含んで成ることを特徴とする請求項1乃至6のいずれかに記載のシリアルデータ伝送機能付CMOSセンサユニット。

【請求項8】前記クロック部は、外部の発振器から発せられるクロック信号を導入する手段を含んで成ることを特徴とする請求項1乃至6のいずれかに記載のシリアルデータ伝送機能付CMOSセンサユニット。

【請求項9】前記PLL回路部は、プログラム型のPLL回路を含んで成ることを特徴とする請求項1乃至8のいずれかに記載のシリアルデータ伝送機能付CMOSセンサユニット。

【請求項10】撮像レンズを更に含んで成ることを特徴とする請求項1乃至9のいずれかに記載のシリアルデータ伝送機能付CMOSセンサユニット。

【請求項11】前記メモリから読み出したシリアル画像データを、LVDS (Low Voltage Differential Signalling) 信号伝送方式に従った信号に変換してLVDSデータとして出力するドライバ回路部も前記ワンチップ上に搭載されて成ることを特徴とする請求項6に記載のシリアルデータ伝送機能付CMOSセンサユニット。

【請求項12】外部からの転送イネーブル信号に基づいて前記パラレル／シリアル変換回路から、または前記ドライバ回路部から画像データを送出することを特徴とする請求項1乃至11のいずれかに記載のシリアルデータ伝送機能付CMOSセンサユニット。

【請求項13】前記メモリには予め定めた画像データが格納されており、撮像で得られた画像データと合成されて読み出されることを特徴とする請求項6または11に記載のシリアルデータ伝送機能付CMOSセンサユニット。

【請求項14】カード状の本体の一面に請求項1乃至13のいずれかに記載のCMOSセンサユニットが取り付けられ、その側面には前記CMOSセンサユニットから

出力される画像データを記憶するカード状メモリが抜き差しされるカード挿入孔が設けられて成ることを特徴とする撮像ユニット。

【請求項15】請求項1乃至13のいずれかに記載のCMOSセンサユニットまたは請求項14に記載の撮像ユニットを送信側とし、前記送信側から送出されたデータを受信するデータ受信部が1つであることを特徴とする画像データ送受信システム。

【請求項16】請求項1乃至13のいずれかに記載のCMOSセンサユニットまたは請求項14に記載の撮像ユニットを複数個を送信側に備え、前記送信側から送出されたデータを受信するデータ受信部を受信側に1つ備えることを特徴とする画像データ送受信システム。

【請求項17】請求項1乃至13のいずれかに記載のCMOSセンサユニットまたは請求項14に記載の撮像ユニットを1つ送信側に備え、前記送信側から送出されたデータを受信するデータ受信部を受信側に複数個備え、前記送信側のCMOSセンサユニットを、受信側のデータ受信部がそれぞれ個別にアクセスして画像データを受信することを特徴とする画像データ送受信システム。

【請求項18】互いに接続されている請求項1乃至13のいずれかに記載のCMOSセンサユニットまたは請求項14に記載の撮像ユニットを複数個備え、その中の一つのCMOSセンサユニットを制御主導権をもつマスターデータ受信部とし、他のCMOSセンサユニットすべてをスレーブとし、前記マスターデータ受信部から同期信号を発生し、この同期信号に同期して前記他のCMOSセンサユニットをアクセスして画像データを受信することを特徴とする画像データ送受信システム。

【請求項19】請求項1乃至13のいずれかに記載のCMOSセンサユニットまたは請求項14に記載の撮像ユニットを複数個送信側と受信側に備え、前記送信側と受信側がデータバス線を共有して接続され、空いている前記データバス線により画像データの授受を行なうことを特徴とする画像データ送受信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はシリアルデータ伝送機能付CMOSセンサユニットに関し、特に小型化、コストの低減を図りつつ簡素な構造を有するシリアルデータ伝送機能付CMOSセンサユニット、それを用いた撮像ユニット及び画像データ送受信システムに関する。

【0002】

【従来の技術】撮像素子を各種の機器や建物等の所定位置に設置して、撮像画像を取り込み電気信号に変換して表示装置に表示する撮像装置をはじめ、半導体撮像素子を利用した各種の撮像装置が近年撮像素子の製造歩留まりの向上及び価格低下に伴い広く実用化されるようになってきている。

【0003】

【発明が解決しようとする課題】かかる目的で採用されている撮像素子としては、これまで歩留まりが高く、比較的安価で、素子毎のバラツキが少なく、特性が安定なCCDが一般的に用いられてきた。しかしながら、CCDは3種類の駆動回路が必要であり、消費電力が大きくなるため、近年はCMOSを撮像素子として用いる撮像装置が注目されている。

【0004】CMOSは、CCDと比較してこれまで素子毎の特性のバラツキが多く、多数のCMOSを用いて得られる画像データには固定パターンノイズが現われてしまうため撮像素子として使用されてこなかった。一方、最近の製造技術の改善により素子毎の特性バラツキが低減され、画像データの固定パターンノイズの発生が抑圧されるようになり、CCDと比較してCMOSのもつ低消費電力の特徴が注目されるようになってきている。

【0005】このような撮像素子により電気信号に変換された画像信号は、パソコン等の画像処理装置に伝送される。この画像信号の伝送は、撮像素子で変換された電気信号をデジタル信号に変換してパラレル信号として複数のケーブルを介して行われることが多い。しかしながら、かかる従来のセンサユニットは、以下のような問題がある。

【0006】(1) システムインタフェース面：通常、2次元センサで得られるデジタル信号は多ビット高速伝送が要求される。例えば、320×240画素のいわゆるCIFサイズの画像では、1画素当たり8ビットを割り当てると画素クロックは6.75MHz、垂直同期信号、水平同期信号、画素データ8ビット、トータル1.1ビットの信号が必要になる。更に、カラー画像の伝送では、R、G、Bそれぞれ8ビット必要なので、27本の信号を伝送する必要がある。これらの信号を高速で伝送しようとする、クロックに対する各データ信号スキューが問題となる。つまり、合計27本のそれぞれの信号線ケーブルに対するインピーダンス、負荷容量等をすべて均一にすることは難しいため、ばらつきが生じ、クロック信号に対するデータ信号の位相ずれが生じ、デジタル信号の伝送不良が生じ、画質が悪化する。したがって、上記の如き2次元センサの画像信号は複数の信号が必要となり、パッケージサイズの増加、伝送コネクタの多ビット化、ケーブルの多ビット化等小型、低消費電力を目的としたシステムには不向きである。

【0007】(2) 消費電流面：上記の如きデジタル出力を備えた2次元センサにおいて、その出力が一度に変化するとノイズの原因となる。特に、出力バッファの電流は外部とのインタフェースを考えると通常最低でも2mA程度の出力能力を設定するのが普通である。そして、24ビットのデータが同時に変化した場合、出力バッファへ瞬間的に流れる電流変化は48mAになり、これは2次元センサ自体の消費電流を超えることになる。

出力するドライバ回路部と、がワンチップ上に搭載されて成ることを特徴とするシリアルデータ伝送機能付CMOSセンサユニット。

【0019】(5) 前記メモリは、ラインメモリまたはフレームメモリである上記(3)または(4)のシリアルデータ伝送機能付CMOSセンサユニット。

【0020】(6) 行方向及び列方向に規則的に配設された複数のCMOS素子から成る2次元センサとしてのCMOSセンサ部と、所定の発振周波数のクロック信号を得るためのクロック部と、前記クロック部からのクロック信号を受けるPLL回路部と、前記PLL回路部からのクロック信号に同期して前記CMOSセンサ部から読み出したパラレルデータをシリアルデータに変換するパラレル/シリアル変換器部と、前記パラレル/シリアル変換器部で得られたシリアルデータを記憶するメモリと、がワンチップ上に搭載されて成ることを特徴とするシリアルデータ伝送機能付CMOSセンサユニット。

【0021】(7) 前記クロック部は、前記クロック信号を発振する発振部を含んで成る上記(1)乃至(6)のいずれかのシリアルデータ伝送機能付CMOSセンサユニット。

【0022】(8) 前記クロック部は、外部の発振器から発せられるクロック信号を導入する手段を含んで成る上記(1)乃至(6)のいずれかのシリアルデータ伝送機能付CMOSセンサユニット。

【0023】(9) 前記PLL回路部は、プログラム型のPLL回路を含んで成る上記(1)乃至(8)のいずれかのシリアルデータ伝送機能付CMOSセンサユニット。

【0024】(10) 撮像レンズを更に含んで成る上記(1)乃至(9)のいずれかのシリアルデータ伝送機能付CMOSセンサユニット。

【0025】(11) 前記メモリから読み出したシリアル画像データを、LVDS (Low Voltage Differential Signalling) 信号伝送方式に従った信号に変換してLVDSデータとして出力するドライバ回路部も前記ワンチップ上に搭載されて成る上記(6)のシリアルデータ伝送機能付CMOSセンサユニット。

【0026】(12) 外部からの転送イネーブル信号に基づいて前記パラレル/シリアル変換回路から、または前記ドライバ回路部から画像データを送出する上記

(1)乃至(11)のいずれかのシリアルデータ伝送機能付CMOSセンサユニット。

【0027】(13) 前記メモリには予め定めた画像データが格納されており、撮像で得られた画像データと合成されて読み出される上記(6)または(11)のシリアルデータ伝送機能付CMOSセンサユニット。

【0028】(14) カード状の本体の一面に上記(1)乃至(13)のいずれかのCMOSセンサユニットが取り付けられ、その側面には前記CMOSセンサ

ユニットから出力される画像データを記憶するカード状メモリが抜き差しされるカード挿入孔が設けられて成る撮像ユニット。

【0029】(15) 上記(1)乃至(13)のいずれかのCMOSセンサユニットまたは(14)の撮像ユニットを送信側とし、前記送信側から送出されたデータを受信するデータ受信部が1つである画像データ送受信システム。

【0030】(16) 上記(1)乃至(13)のいずれかのCMOSセンサユニットまたは(14)の撮像ユニットを複数個を送信側に備え、前記送信側から送出されたデータを受信するデータ受信部を受信側に1つ備える画像データ送受信システム。

【0031】(17) 上記(1)乃至(13)のいずれかのCMOSセンサユニットまたは(14)の撮像ユニットを1つ送信側に備え、前記送信側から送出されたデータを受信するデータ受信部を受信側に複数個備え、前記送信側のCMOSセンサユニットを、受信側のデータ受信部がそれぞれ個別にアクセスして画像データを受信することを特徴とする画像データ送受信システム。

【0032】(18) 互いに接続されている上記(1)乃至(13)のいずれかのCMOSセンサユニットまたは(14)の撮像ユニットを複数個備え、その中の一つのCMOSセンサユニットを制御主導権をもつマスターデータ受信部とし、他のCMOSセンサユニットすべてをスレーブとし、前記マスターデータ受信部から同期信号を発生し、この同期信号に同期して前記他のCMOSセンサユニットをアクセスして画像データを受信する画像データ送受信システム。

【0033】(19) 上記(1)乃至(13)のいずれかのCMOSセンサユニットまたは(14)の撮像ユニットを複数個送信側と受信側に備え、前記送信側と受信側がデータバス線を共有して接続され、空いている前記データバス線により画像データの授受を行なうことを特徴とする画像データ送受信システム。

【0034】

【発明の実施の形態】次に本発明によるシリアルデータ伝送機能付CMOSセンサユニットの一実施形態について図面を参照しながら説明する。図1は、本発明によるシリアルデータ伝送機能付CMOSセンサユニット(送信側)の好適実施形態の構成図である。

【0035】本実施形態におけるシリアルデータ伝送機能付CMOSセンサユニット1は、行方向及び列方向に規則的に配設された多数のCMOS素子から成る2次元センサとしてのCMOSセンサ部101を有し、例えば、27MHzの発振周波数をもつ発振器102からのクロック信号に同期してCMOS素子から画像信号が読み出される。CMOSセンサ部101には、また、CMOS素子から取り出された画像信号を増幅し、デジタル

画像データに変換する増幅器とA/D変換器が設けられ、結局、CMOSセンサ部101からはデジタル画像データが出力されることになる。

【0036】PLL回路105は、発振器102からの発振周波数信号に基づいて処理された画像データクロックをパラレル/シリアル変換器106に供給する。パラレル/シリアル変換器106は、CMOSセンサ部101のCMOS素子を垂直方向に駆動するための垂直方向ドライブ回路103からの垂直同期信号と、CMOSセンサ部101のCMOS素子を水平方向に駆動するための水平方向ドライブ回路104からの水平同期信号を受け、CMOSセンサ部101から受けたパラレル画像データを、PLL回路105からの画像データクロックに基づいてシリアルデータに変換する。ここで、PLL回路から発生される画像クロックは、パラレル/シリアル変換でシリアルデータに変換されているため伝送レートを確保するため、クロック周波数はその分上げられている。

【0037】ドライバ111は、入力端子110Aと110Bから入力された、例えばパソコン等の電子機器から供給される転送イネーブル信号を駆動用のシリアルイネーブル信号に変換して、垂直ドライブ回路103と水平方向ドライブ回路104へシリアルイネーブルを送出する。垂直ドライブ回路103と水平方向ドライブ回路104は、このシリアルイネーブル信号を受けてCMOSセンサ部101から出力される画像データをパラレル/シリアル変換回路106に送出させる。

【0038】パラレル/シリアル変換回路106で変換されたシリアル画像データは、LVDSドライバ回路107により高速LVDSデータとして転送される。

【0039】以上のような各構成要素は一つのチップ上に搭載され、一チップ構成のCMOSセンサユニットとされ、このCMOSセンサユニットからは、シリアルデジタルデータが伝送されることになる。したがって、CCDを用いたCCDセンサユニットのもつ多ビット化によるドライブ電流の増加という問題が解決されるとともに、一チップ上に必要な構成要素がすべて搭載されているため、小型化、低コスト化が促進される。

【0040】本実施形態では、上述構成を基本構成としつつ、更に、パラレル/シリアル変換器106から出力されるシリアル画像データを、いわゆるLVDS (Low Voltage Differential Signalling) 信号伝送方式に従った信号に変換するためのLVDSドライバ回路(コード回路)107が、上記一チップ上に他の構成要素とともに搭載され、得られたLVDS信号が出力端子108A、108Bから、例えばツイストケーブル等の比較的細く取り扱いの簡単な伝送ラインを用いて、パソコン等の表示、記録、印刷等の処理を実行する画像処理部に伝送、つまり、高速LVDSデータ転送される。上記LVDS信号による信号伝送は、シリアル伝送の規格: TI

A EIA-644規格に従って行なわれる。

【0041】こうして出力端子108A、108Bから出力されたシリアル画像データは、画像データクロック周期で、図3(B)に示すような各ビット対応で、図3(A)に示すようなフォーマット構成を有するLVDS信号として構成される。

【0042】具体的には、シリアル画像データは、例えば、図3(A)に示すように、先ず、スタート、続いて垂直同期信号及び水平同期信号、画像データ7、画像データ6、画像データ5、画像データ4、画像データ3、画像データ2、画像データ1、画像データ0、最後にストップ情報が配置されている。上記スタートとストップ情報は、図3(C)に示す画像データクロックの立ち上がりタイミングと立下りタイミングで規定される。

【0043】本発明によれば、上述従来の問題を解消した次のような各種の格別な効果が得られる。

【0044】まず、システムインターフェース面で考えると、本実施形態では、PLL回路とパラレル/シリアル変換回路をチップ上に搭載してシリアル伝送を行なっているため伝送ラインは1本で済む。したがって、従来のように、複数のそれぞれの信号ラインに関するインピーダンス、負荷容量等のバラツキの問題は生じることがなく、構成の複雑化の問題も生じない。また、1本の伝送ラインで済むため、消費電力も従来と比して大幅に低減される。

【0045】本発明では、LVDS伝送に基づいて送信/受信動作を差動信号によって行っているため、電源電流が平均化され、センサ部分へのノイズが少なくなる。また、差動信号であるためノイズが乗ってもペア間では電位差がなくノイズを除去できる。更に、信号振幅を小さくすることができ、駆動電流も小さくなり、磁界も発生量が小さくなってEMI発生も抑制できる。更にまた、データ伝送の距離も大幅に拡張される。

【0046】さて、図2に示す如く、シリアルデータ伝送機能付CMOSセンサユニット1の出力端子108A、108Bから伝送ラインを介して伝送されてきたLVDS信号は、受信側であるパソコン等の画像処理装置の入力端子201A、201Bに入力され、LVDS信号のレシーバ回路202によりシリアルデジタル画像データに変換されてPLL回路203とシリアル/パラレル変換(S/P)回路204に送出される。シリアル/パラレル変換回路204は、送信側のシリアル/パラレル変換回路106の処理と逆の処理を実行し、シリアルデータをパラレルデータに変換して画像データ、水平同期信号及び垂直同期信号を出力データとして送出する。

【0047】図4と図5は、本発明の他の実施形態によるシリアルデータ伝送機能付CMOSセンサユニットの構成図を示す。また、図6には、図4と図5に示す回路の動作を規定する画像データクロック(A)、転送イネーブル信号(B)、及び画像データ(C)のタイミング

チャートが示されている。

【0048】本実施形態によるシリアルデータ伝送機能付CMOSセンサユニットは、図1と図2に示す実施形態の構成に加えて、CMOSセンサユニット側（送信側）に、ラインメモリ112が設けられている。

【0049】入力端子110Aと110Bから入力されドライブ回路111で変換されたシリアルイネーブル信号に反応して、垂直ドライブ回路103と水平方向ドライブ回路104は、CMOSセンサ部101から出力される画像データが、ラインメモリ112に記憶される。

【0050】ラインメモリ112からは、垂直ドライブ回路103と水平方向ドライブ回路104からの垂直同期信号と水平同期信号に基づいて画像データが読み出されてパラレルシリアル変換回路106に送出される。

【0051】パラレル／シリアル変換回路106で変換されたシリアル画像データは、ドライバ回路（コード回路）107によりLVDS信号伝送方式に従った信号に変換され、出力端子108A、108Bを介して高速LVDSデータとして転送される。

【0052】本実施形態のパソコン（CPU）側の構成が図5に示され、図2に示す実施形態の構成に加えて、パラレルシリアル変換回路204からのパラレル画像データを記憶する画像メモリ205、DMAC回路208、CPU209を備える。シリアル／パラレル変換回路204で得られた画像データクロックは水平アドレスカウンタ210に、水平同期信号と垂直同期信号は垂直フレームアドレスカウンタ211に送出される。

【0053】CPU209は、シリアル／パラレル変換回路204から画像データを受け、DMAC回路208をDMACコントロールする。DMAC回路208は、PLL回路203からの発振周波数信号を受け、DMAC制御動作を行なうとともに、基準信号をシリアル／パラレル変換回路204、画像メモリ205、水平アドレスカウンタ210及びドライバ207に出力する。ドライバ207は、この基準信号を転送イネーブル信号に変換して出力端子206Aと206Bを介して送出する。

【0054】上述のように、送信側（CMOSセンサ側）と受信側（パソコン：CPU）とのI/Fが構成される。

【0055】本実施形態例ではCPUからの非同期アクセス若しくはDMAに対応しており、これにより、CPUが管理するメモリーへセンサからの画像データを直接入力することができるようになり、FIFO等によるタイミング調整回路が不要になる。

【0056】上述のように、図6に示すタイミング信号による動作が行なわれ、イネーブルタイミング毎に画素データを更新する。本例では、イネーブル信号のデイスレーブル期間は同じ信号を出力しているが、この期間をLVDSドライバーのイネーブルと同様にしてもよい。

【0057】上述の実施形態における説明では、CMO

Sセンサユニット側をデータ送信側とし、パソコンをデータ受信側としているが、これらデータ送信側対データ受信側の各組み合わせとしては、（1）1対1接続、

（2）多対1接続、（3）1対多接続、（4）マルチプレクス接続及び（5）多対多接続がある。これらの接続態様は、例えば、CMOSセンサユニットを監視撮像装置として用い、CMOSセンサユニットを被監視場所である一箇所または複数箇所に設置し、上記CMOSセンサユニットで得られた画像データを受信側で受信してディスプレイ等に表示するような用途がある。以下、各接続態様を順次説明する。

【0058】（1）1対1接続：データ送信側、受信側各1つずつの基本的構成であり、図1と図2にその構成が示されている。上述のように、CMOSセンサユニット1内にPLL回路105及びパラレル／シリアル変換器106、LVDSドライバー107を有する。このパラレル／シリアル変換機105は、8ビットのデータの他に垂直同期信号、水平同期信号も同時に変換する。また、クロックの1周期内にデータを圧縮するため、クロックの周期のスタート、ストップ信号を同時に変換する。図4と図5に示す構成も1対1接続態様の一つである。

【0059】（2）多対1接続：送信側となるCMOSセンサユニットが多数あり、データ受信側となるデータ受信部が1つの場合の多対1接続構成例が図7に示されている。すなわち、複数のCMOSセンサユニット（図では3個）のうち一つをCMOSセンサマスター20とし、他の2つをCMOSセンサスレーブ21、22とする構成である。この場合には、CMOSセンサマスター20からは同期信号と、制御すべきCMOSセンサスレーブを指定するスレーブ番号とが他のCMOSセンサスレーブ21、22及びデータ受信部30に送出され、各CMOSセンサ20～22で得られる画像データのデータ受信部30への転送タイミング、シーケンスが制御される。

【0060】すなわち、CMOSセンサマスター20は、自己の発生同期信号に基づいて、他のCMOSセンサ21、22の送出タイミングが重複しないタイミングで自己が得た画像データをデータ受信部30に送出するように制御する。また、他のCMOSセンサスレーブ21、22に対して、同期信号とCMOSセンサスレーブを指定するスレーブ番号を送出し、スレーブ番号で指定されたCMOSセンサスレーブからは、受信同期信号に基づいて互いに重複しないタイミングで画像データがデータ受信部30に送出されるように制御される。

【0061】この場合のCMOSセンサユニット側の構成が図8に示されている。CMOSセンサユニットのマスター20には予めマスターであること、及びスレーブセンサが幾つ（本例では2個）あるかをセットしておく。CMOSセンサスレーブ21、22には各スレーブ

毎に予めスレーブ番号で割り当てられ、セットされている。

【0062】CMOSセンサマスター20は、先ず自己取得した1フレーム分の画像データを出力、送出した後、CMOSセンサスレーブ21と22が画像データを送出する期間は画像データを出力しない。

【0063】CMOSセンサスレーブ21、22の各々は、CMOSセンサマスター20から受信した信号に基づいて、垂直同期信号、水平同期信号、クロックを検出し、CMOSセンサスレーブ内のセンサ（撮像素子）を動作させる。また、垂直同期信号により最初の垂直同期信号がマスターであり、次の同期信号がCMOSセンサスレーブ21、その次がCMOSセンサスレーブ22というように垂直同期信号の数をカウントすることにより、予めセットされたスレーブ番号と比較して自分の番が回ってきたかどうかを検出することができる。

【0064】自分のセンサ番号と一致した数だけ垂直同期信号を待った後、LVDSドライバーをイネーブルにしてセンサデータを出力する。

【0065】図8を参照すると、CMOSセンサスレーブにおいては、CMOSセンサマスター等の制御主導権をもつ装置から入力端子113Aと113Bを介して受信した転送イネーブル信号をドライバ114でシリアルイネーブル信号に変換してCMOSセンサ部101とシリアル／パラレル変換回路115に送出する。

【0066】シリアル／パラレル変換回路115は、受信したシリアルイネーブル信号をパラレル信号に変換し、垂直同期信号を垂直方向ドライバ回路103と垂直同期カウンタ116に、水平同期信号を水平方向ドライバ回路104に送出する。垂直同期カウンタ116は、垂直同期信号の入力数をカウントし、そのカウント数と、チップ番号セット部117により設定されている自己のスレーブ番号とを比較し、両番号が一致したときに出力ドライバ107に出力ドライバイネーブル信号を送出する。出力ドライバ107からは、上述のように、高速LVDSデータが転送される。

【0067】尚、本実施形態においては、複数のCMOSセンサユニットのうちの一つを制御主導権をもつマスターとし、他をスレーブとしているが、制御主導権をデータ受信部にもたせることも可能であることは明らかである。

【0068】(3) 1対多接続：一つのCMOSセンサを多数の画像取り込み装置としてのデータ受信回路が共有する場合の例である。CMOSセンサユニット側の構成は図1と同様であり、CMOSセンサユニット側に基本クロックの回路を持ち、基本クロックに同期して一つのCMOSセンサユニットから画像データを得、順次多数の受信側としての画像取り込み装置に送出する。

【0069】(4) マルチプレクス接続：図7について説明した多対1接続の変形として、制御主導権をもつマ

スターをデータ受信部として、接続されているCMOSセンサすべてをスレーブとする接続構成において、同期信号をマスターデータ受信部が発生するように構成される。このような構成を採用することにより、すべてのスレーブであるCMOSセンサユニットは同期して動作することになり、受信側のデータ受信部がCMOSセンサユニットを選択することにより、自由に画像を選択もしくは一つの画像内に複数のセンサ画像を切り替え表示することが可能になる。

【0070】この方式には2種類あり、センサ毎のデータバスを切り替える方式とデータバスは共有化しておき、イネーブル信号により、センサドライバを活性化させる方式である。さらに、この方式ではセンサの数だけイネーブル信号が必要な方式とカスケード接続することによりイネーブル信号を一つにする方式とがある。

【0071】(5) 多対多接続：送信側であるCMOSセンサユニットと受信側である信号入力システムがそれぞれ複数存在し、ケーブル（データバス線）を共有する接続形態である。この場合、データバス線が空いていることを示すBusy信号線を用意し、フレーム単位、ライン単位、画素単位で伝送することが可能である。送信側であるCMOSセンサユニットは、Busy信号がdisableのときバスが空いていることがわかり、このとき自分のセンサ番号とデータを伝送する。受信側は必要なセンサ番号からデータが送られてきたとき、そのデータを受信する。

【0072】図9にはかかる多対多接続態様におけるCMOSセンサユニットの構成図が示されている。図中、図1や図4と同一番号で示されている構成要素は同様な機能を有する構成要素である。

【0073】図9においては、図4のラインメモリ112に代えてフレームメモリ123が用いられ、CMOSセンサ部101からの画像データがフレームメモリ123に記憶される。

【0074】入力端子118Aと118Bから受信した外部同期信号とセンサ番号は、ドライバ119で信号変換され、シリアル／パラレル変換回路120でパラレル信号に変換される。得られた同期信号は垂直方向ドライバ回路103と水平方向ドライバ回路104に供給される。また、センサ番号は比較回路121に供給される。

【0075】センサ番号セット部122には、取り込むべきCMOSセンサ部101のセンサ番号がセットされており、セットされたセンサ番号が比較回路に供給されている。比較回路121は、シリアル／パラレル変換回路120からのセンサ番号と、センサ番号セット部122にセットされたセンサ番号とを比較し、両番号が一致したときにシリアルイネーブル信号をパラレル／シリアル変換回路106に出力する。パラレル／シリアル変換回路106は、垂直方向ドライバ回路103と水平方向ドライバ回路104からの垂直同期信号と水平同期信号

を受け、このシリアルイネーブル信号にตอบสนองしてLVDSドライバ107に出力する。ドライバ107で前述LVDSデータに変換された信号(図10の(C))に示す)が高速LVDSデータ転送される。

【0076】図10の(A)には出力端子108Aと108Bから出力されるデータフォーマット構成が示されており、シリアルイネーブル信号と図10(D)に示す画像データクロックにตอบสนองして、スタート、垂直同期信号、水平同期信号に続いて画像データ7、画像データ6、画像データ5、画像データ4、画像データ3、画像データ2、画像データ1、画像データ0、最後にストップから成るLVDSデータが転送される。

【0077】図10の(B)には入力端子117Aと117Bから入力されるデータフォーマット構成が示されており、スタート、外部垂直同期信号、外部水平同期信号に続いてセンサ番号7、センサ番号6、センサ番号5、センサ番号4、センサ番号3、センサ番号2、センサ番号1、センサ番号0、最後にストップのデータが転送される。

【0078】図11は、本発明によるCMOSセンサユニットの他の実施形態を示し、メモリ外部へのデータ伝送系をなくし、フラッシュメモリ等のメモリ130を搭載して携帯性を改善した撮像ユニットとしたものである。この例では、パラレル/シリアル変換器106から出力される画像データをそのままメモリ130に格納する。このメモリは固定的に搭載しておいても良く、また着脱可能に構成しておくことができる。

【0079】このような構成を採用することにより、携帯性に便利で上記撮像ユニットで撮像した画像をメモリに格納しておけば、所望によりメモリから画像データを読み出したり、メモリを取り出して画像処理を行なうことができる。このとき、メモリには予め所定の画像データ(背景画像データとしても可)を記憶しておき、撮像した画像と合成することにより、簡単に合成画像を得ることができる。

【0080】上述の実施形態において、前述と同様なLVDSドライバ107を設けることができるのは勿論である。

【0081】図12には、かかる撮像ユニットの構成例が示されている。カード状の本体200の一面には上記CMOSセンサユニット1が取り付けられており、その側面にはカード挿入孔200Aが設けられ、このカード挿入孔200Aにフラッシュメモリ等のカード状メモリ300が抜き差し可能とされている。CMOSセンサユニット1の下方には、CMOSセンサ部101、発振器102、垂直方向ドライブ回路103、水平方向ドライブ回路104、PLL回路105、パラレル/シリアル変換器106等の電気回路系が搭載されている基板100Aを有する。

【0082】尚、本発明は上述用途に限らず、その他の

各種用途への適用が可能で、撮像装置をパソコンへの埋設構造としたり、多数の撮像装置を多数個所に配設するような要望が監視システム等において強く要望されており、かかる要望に本発明は適用して有益である。

【0083】以上、本発明のシリアルデータ伝送機能付CMOSセンサユニットの好適実施形態を説明したが、しかし、本発明はかかる特定実施形態のみに限定されるべきではなく、特定用途に応じて種々の変形変更が可能であることが当業者には容易に理解されよう。従って、本発明にはかかる変形変更をも包含する。

【0084】例えば、上述の説明におけるクロック信号を発振する発振器は、CMOSセンサユニットに内蔵されているが、本発明の基本思想から考えれば、クロック信号が何らかの形で得られれば良く、外部から供給されるクロック信号(例えば、外部の発振器から発せられるクロック信号)を導入する手段を設ければ発振器自体を内蔵させる必要がなくなり構成が簡略化されることは勿論である。また、PLL回路も回路そのものが重要ではなくPLL機能を実行する機能を有する手段であれば良く、例えば、入力周波数に対する出力周波数の逡倍の比率を選択可能になされたプログラマブル型のPLL回路等を用いることができることは勿論である。更には、CMOSセンサユニットには、光学像をCMOSセンサ部に焦点させるための光学系(例えば、撮像レンズ)を設置することもでき、光学系と電気系を一体化した非常に小型な撮像デバイスが実現できる。

【0085】

【発明の効果】以上説明したように、本発明のシリアルデータ伝送機能付CMOSセンサユニットによれば、CMOSセンサにPLL回路及びパラレル/シリアル変換回路を一体化し、またLVDSのドライバも一体化しているので、構成の簡素化、信号の劣化が少なく、低消費電流、ノイズが少なく、伝送距離が拡張され、更には、メモリ機能も一体化しているので、種々の用途への拡張も可能となる。

【図面の簡単な説明】

【図1】本発明によるシリアルデータ伝送機能付CMOSセンサユニット(送信側)の好適実施形態の構成図である。

【図2】本発明の実施形態における受信側であるパソコン等の画像処理装置の構成図である。

【図3】本発明の実施形態におけるシリアル画像データの構成を示す図である。

【図4】本発明の他の実施形態によるシリアルデータ伝送機能付CMOSセンサユニットの構成図である。

【図5】本発明の他の実施形態における受信側の画像処理装置の構成図である。

【図6】図4と図5に示す回路の動作を規定する画像データクロック(A)、転送イネーブル信号(B)、及び画像データ(C)のタイミングチャートを示す図であ

る。

【図7】本発明の実施形態による画像データ送受信システムの構成図である。

【図8】本発明の更に他の実施形態によるシリアルデータ伝送機能付CMOSセンサユニットの構成図である。

【図9】本発明の他の実施形態によるシリアルデータ伝送機能付CMOSセンサユニットの構成図である。

【図10】本発明の他の実施形態におけるLVDSデータに変換された信号を示す図である。

【図11】本発明による撮像装置の構成図である。

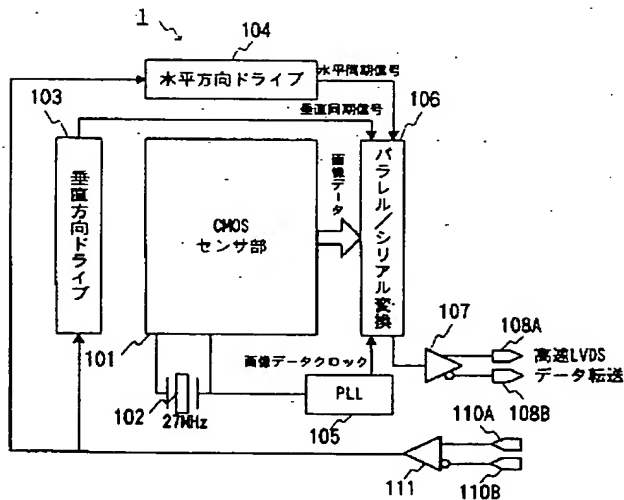
【図12】本発明による撮像ユニットの簡略化した構成図である。

【符号の説明】

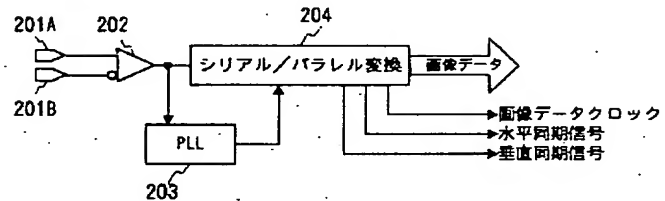
101 CMOSセンサ部
102 発振器
103 垂直方向ドライブ回路
104 水平方向ドライブ回路
105、203 PLL回路
106、204 シリアル/シリアル変換器
107 LVDSドライバ回路
109、119、207 ドライバ回路
111、111 ドライバ回路

112 ラインメモリ
116 垂直同期カウンタ
117 チップ番号セット部
121 比較回路
122 センサ番号セット部
123 フレームメモリ
130 メモリ
200 カード状の本体
100A 基板
200A カード挿入孔
202 デコード回路
204、115、120 シリアル/パラレル変換回路
205 画像メモリ
208 DMAC回路
209 CPU
210 水平アドレスカウンタ
211 垂直&フレームアドレスカウンタ
300 カード状メモリ300
20 CMOSセンサマスター
21、22 CMOSセンサスレーブ
30 データ受信部

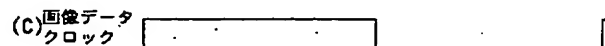
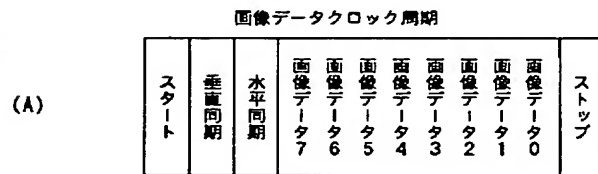
【図1】



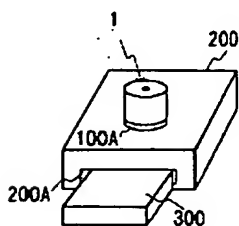
【図2】



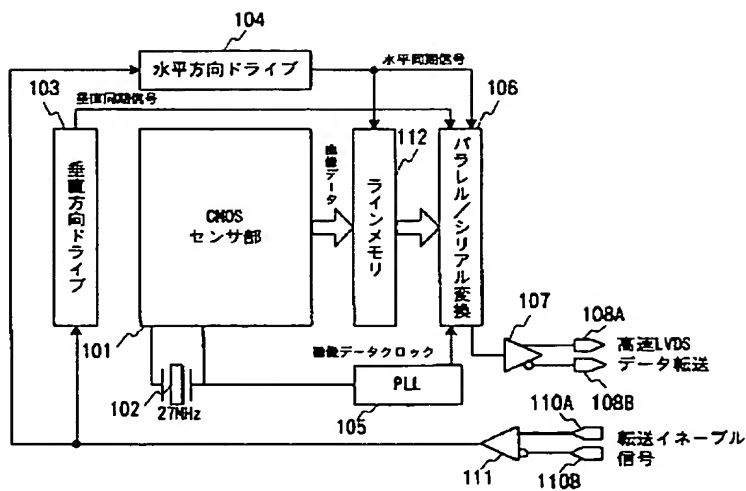
【図3】



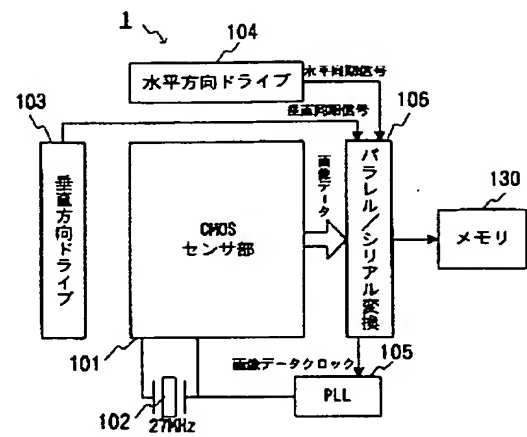
【図12】



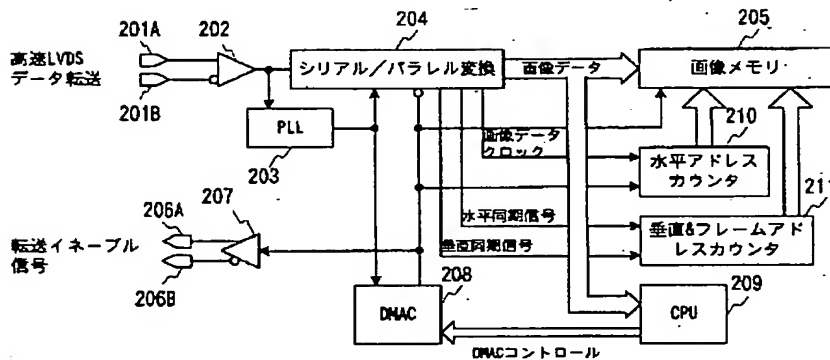
【図4】



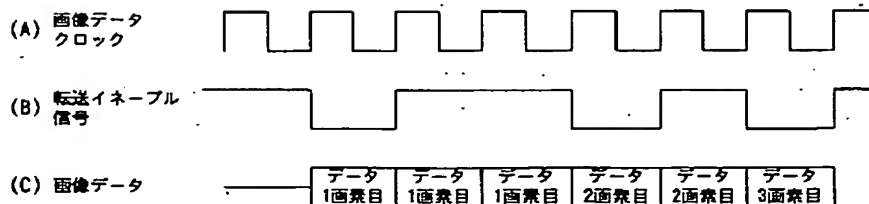
【図11】



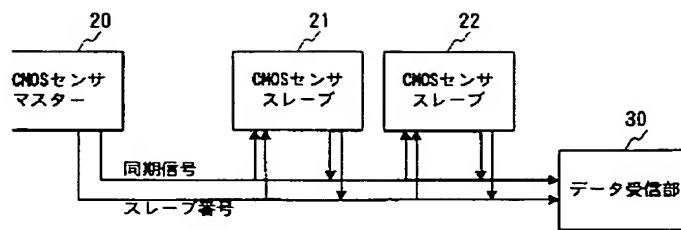
【図5】



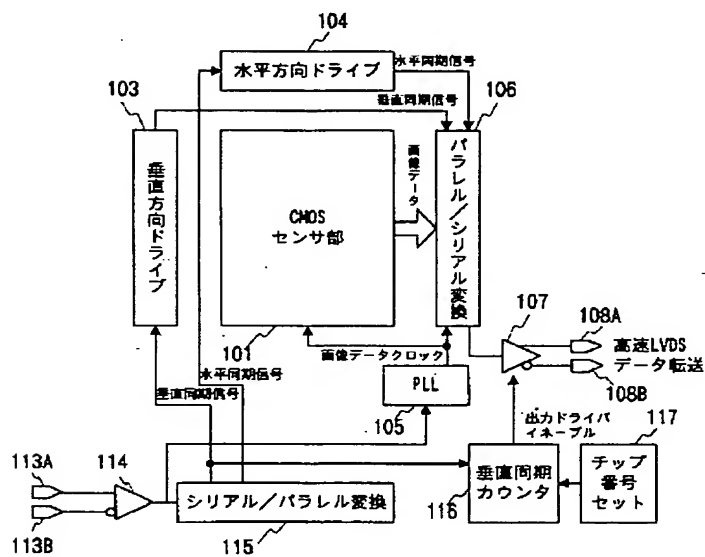
【図6】



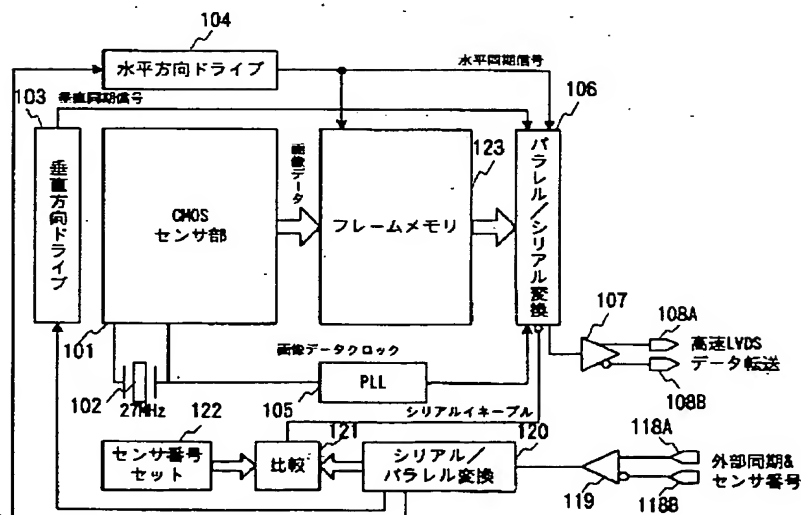
【図7】



【図8】

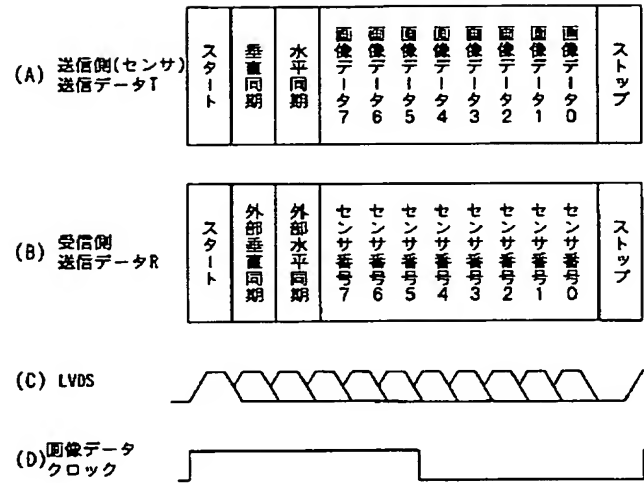


【図9】



【図10】

画像データクロック周期



THIS PAGE BLANK (USPTO)



US006515271B1

(12) **United States Patent**
Shimizu

(10) Patent No.: **US 6,515,271 B1**(45) Date of Patent: **Feb. 4, 2003**

(54) **CMOS IMAGE SENSOR UNIT WITH SERIAL TRANSMITTING FUNCTION**

(75) Inventor: **Kazuo Shimizu, Tokyo (JP)**(73) Assignee: **Olympus Optical Co., Ltd. (JP)**

(*) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

(21) Appl. No.: **09/574,380**(22) Filed: **May 19, 2000**

(30) **Foreign Application Priority Data**

May 21, 1999 (JP) 11-141067

(51) Int. Cl.⁷ **H01L 27/00**(52) U.S. Cl. **250/208.1; 257/292**

(58) Field of Search 250/208.1, 214.1,
250/214 P; 348/294, 308, 298, 300, 301;
257/292, 443, 444

(56) **References Cited**

U.S. PATENT DOCUMENTS

6,166,367 A * 12/2000 Cho 250/208.1

* cited by examiner

Primary Examiner—Robert H. Kim

Assistant Examiner—Hoon K. Song

(74) Attorney, Agent, or Firm—Straub & Pokotylo; John C. Pokotylo

(57) **ABSTRACT**

A CMOS image sensor unit with serial data transmitting function is disclosed. A CMOS sensor unit as a two-dimensional sensor constituted by a plurality of CMOS elements arranged in a regular array in the row and column directions, a clock unit for obtaining a clock signal at a predetermined oscillation frequency, a PLL circuit unit receiving the clock signal from the clock unit and a parallel-to-serial converter unit for converting parallel data read out from the CMOS sensor to serial data in synchronism to the clock signal from the PLL circuit are mounted on a single image sensor unit.

33 Claims, 12 Drawing Sheets

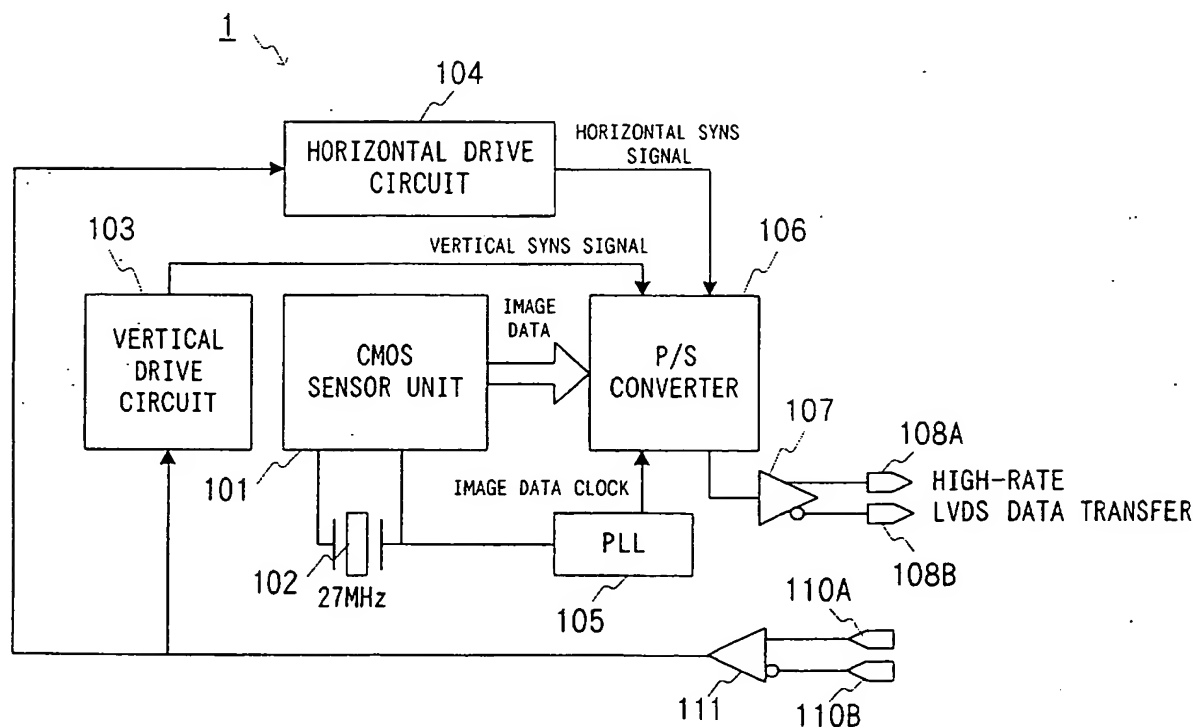


FIG. 1

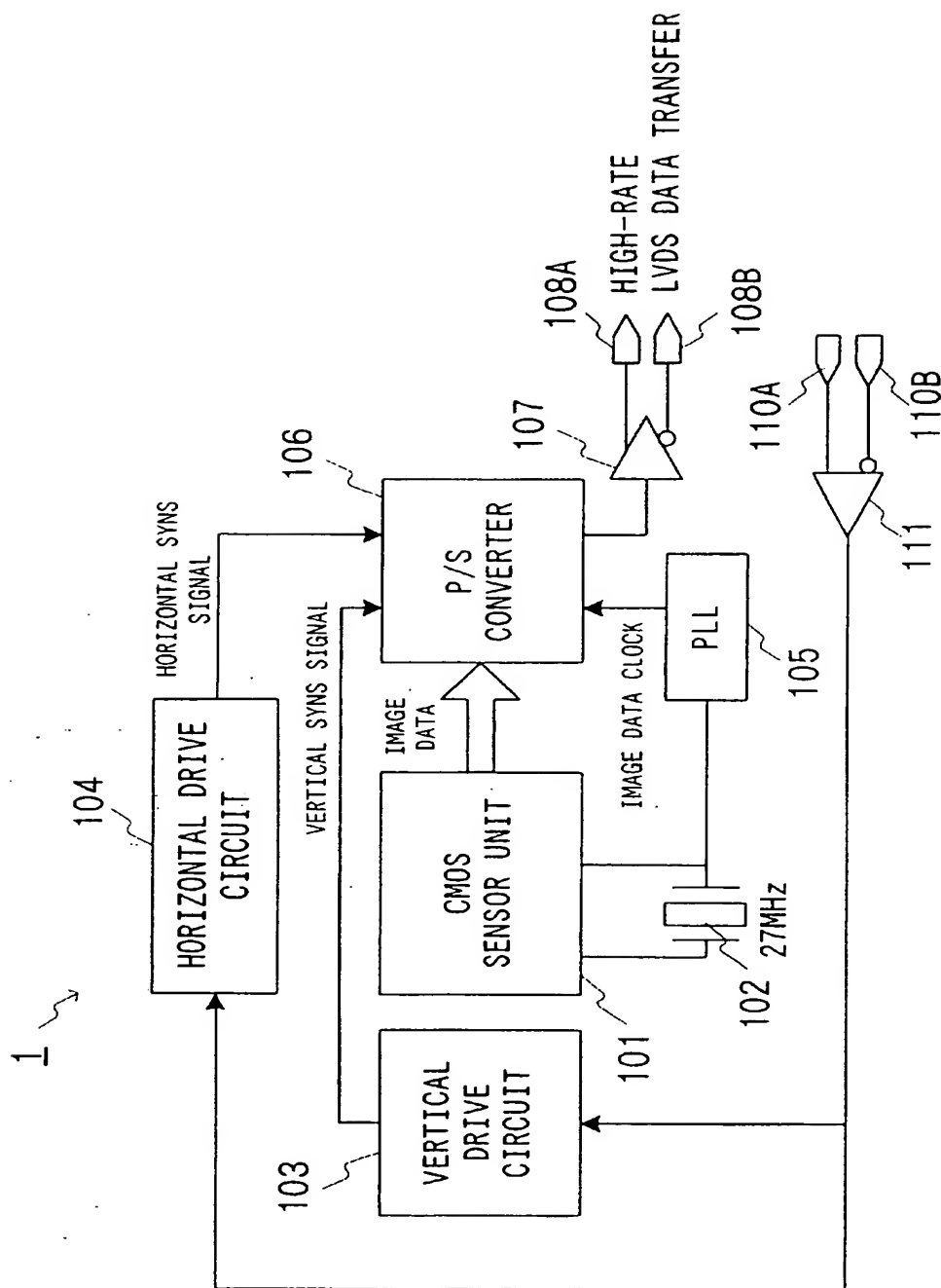


FIG. 2

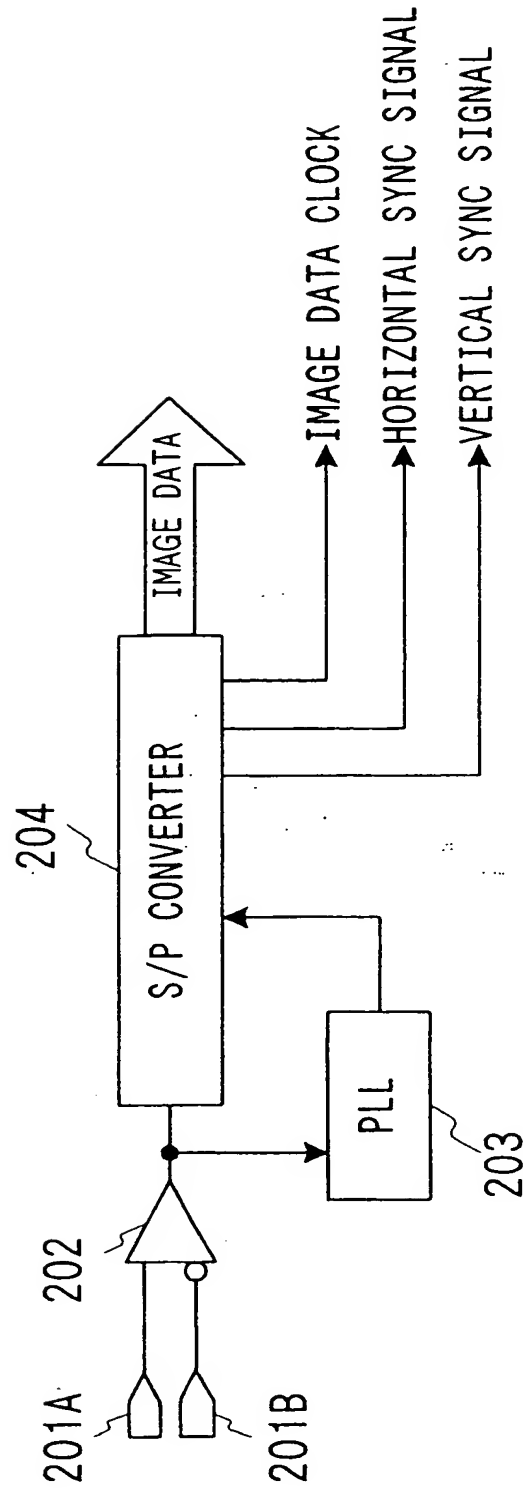
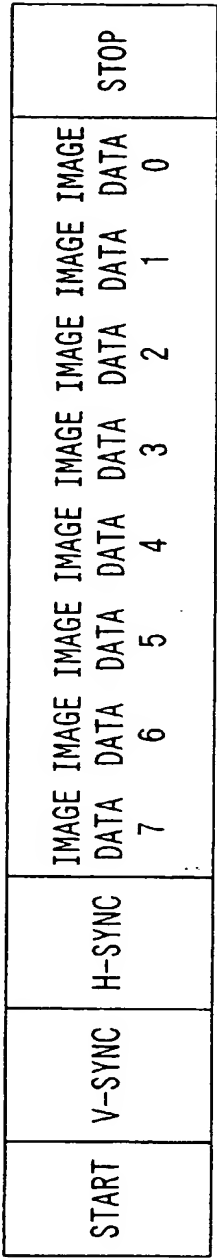
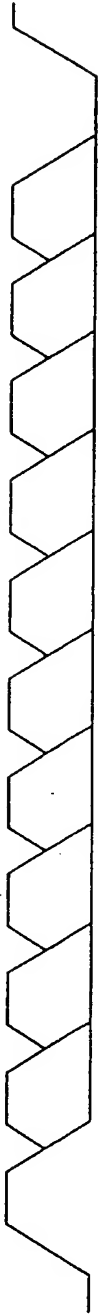


FIG. 3

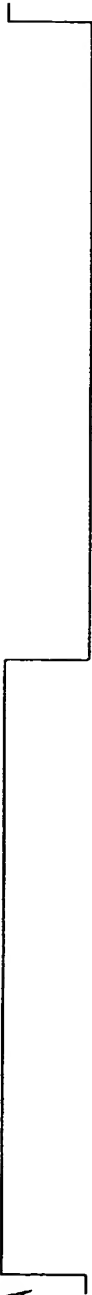
IMAGE DATA CLOCK CYCLE



(A)



(B) LVDS



(C) IMAGE DATA
CLOCK

FIG. 4

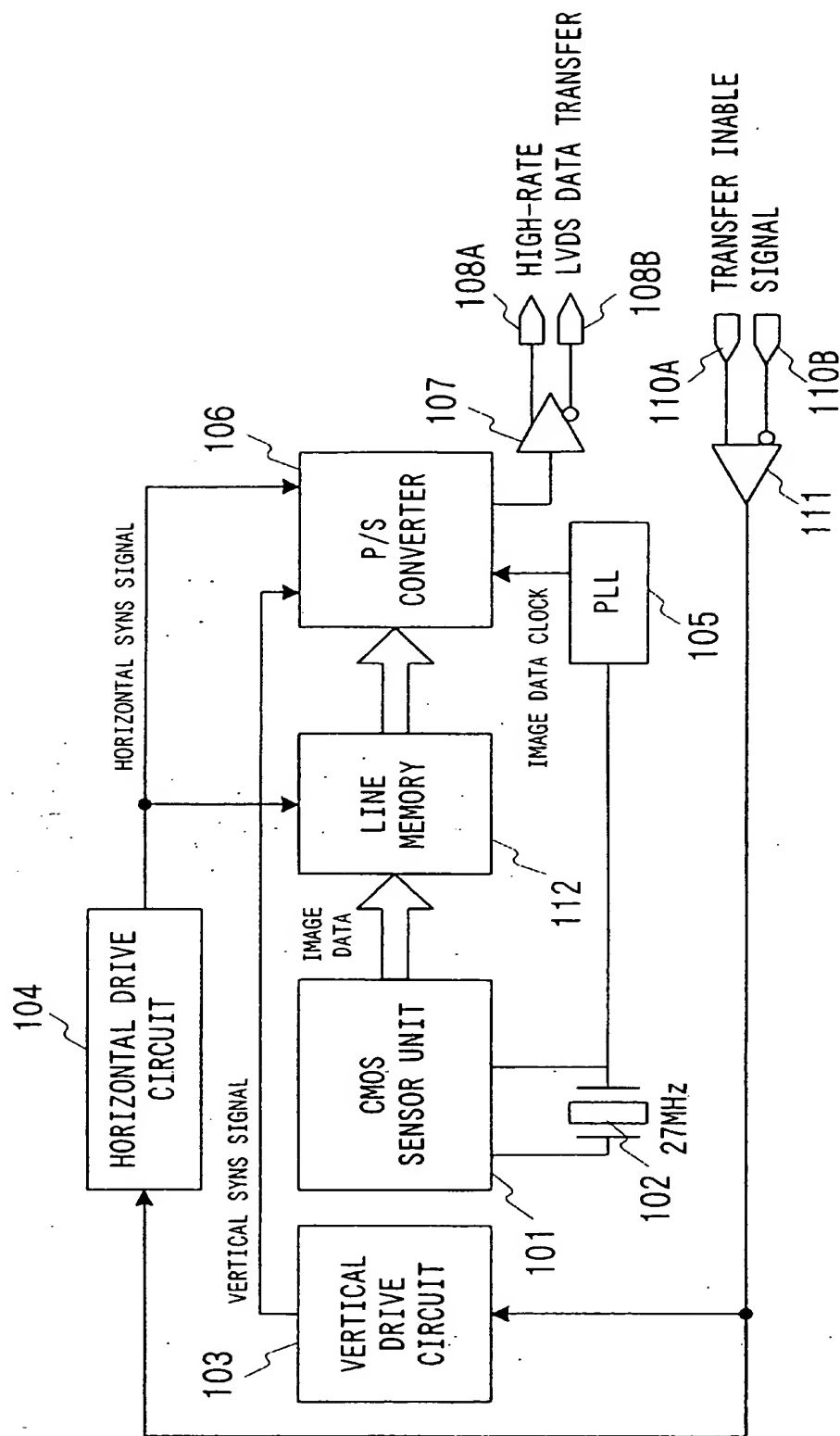


FIG. 5

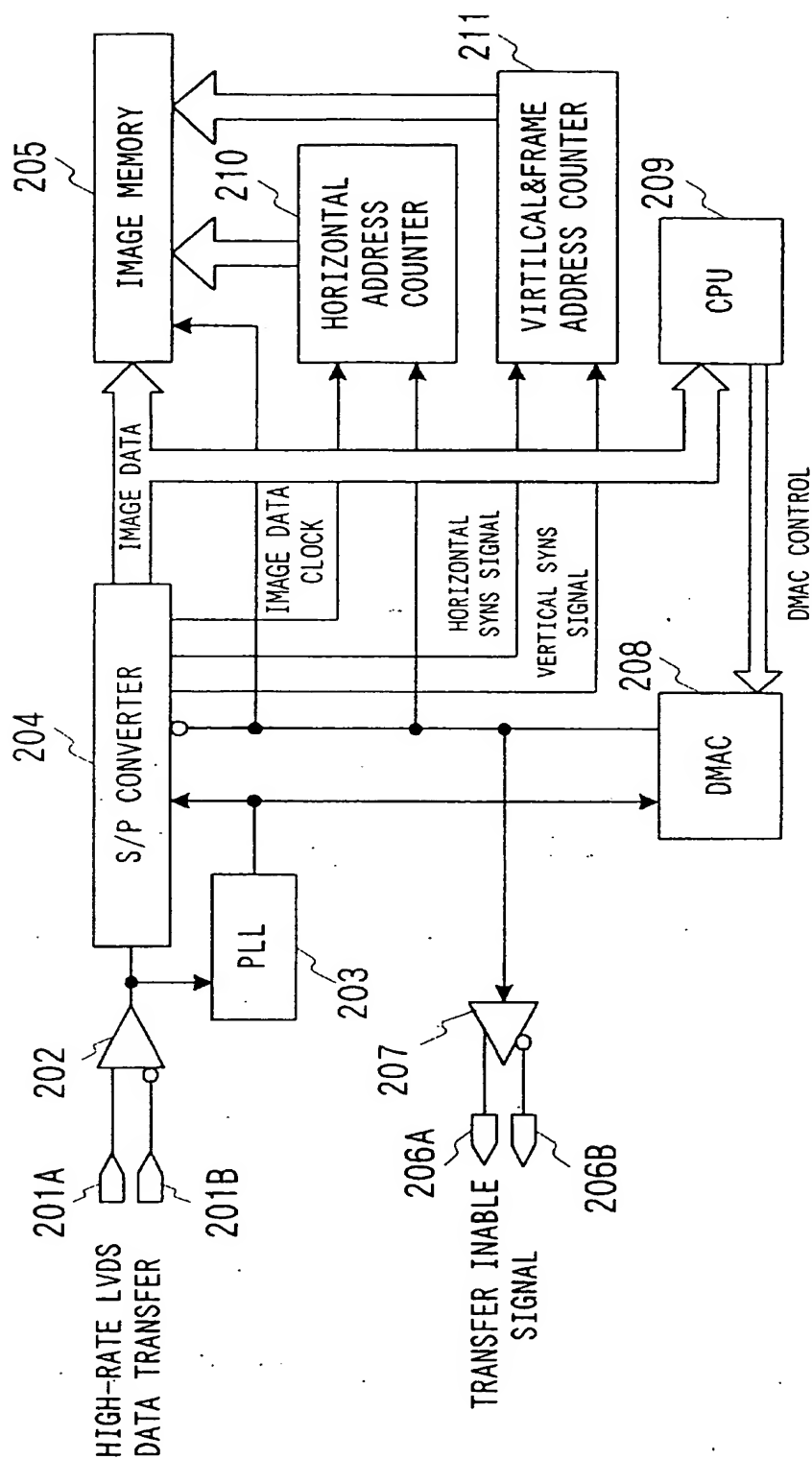


FIG.6

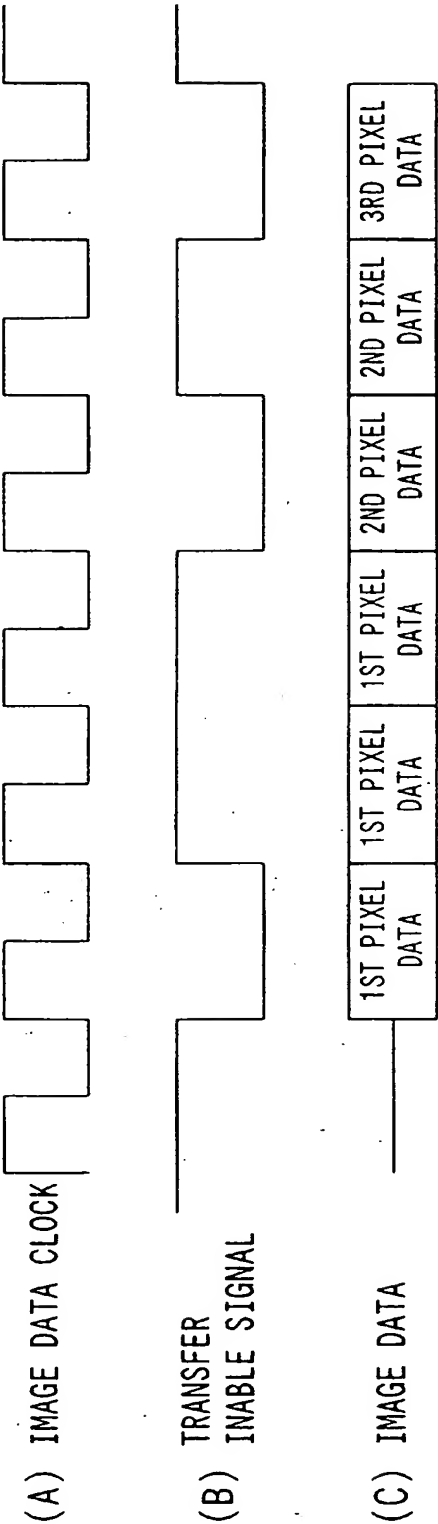


FIG. 7

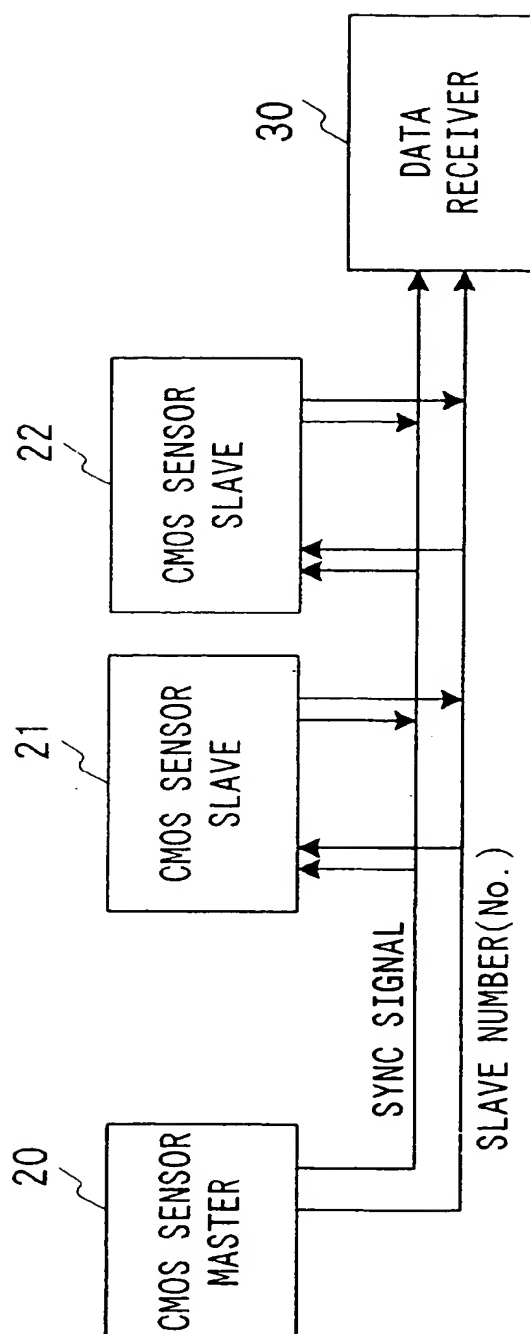


FIG. 8

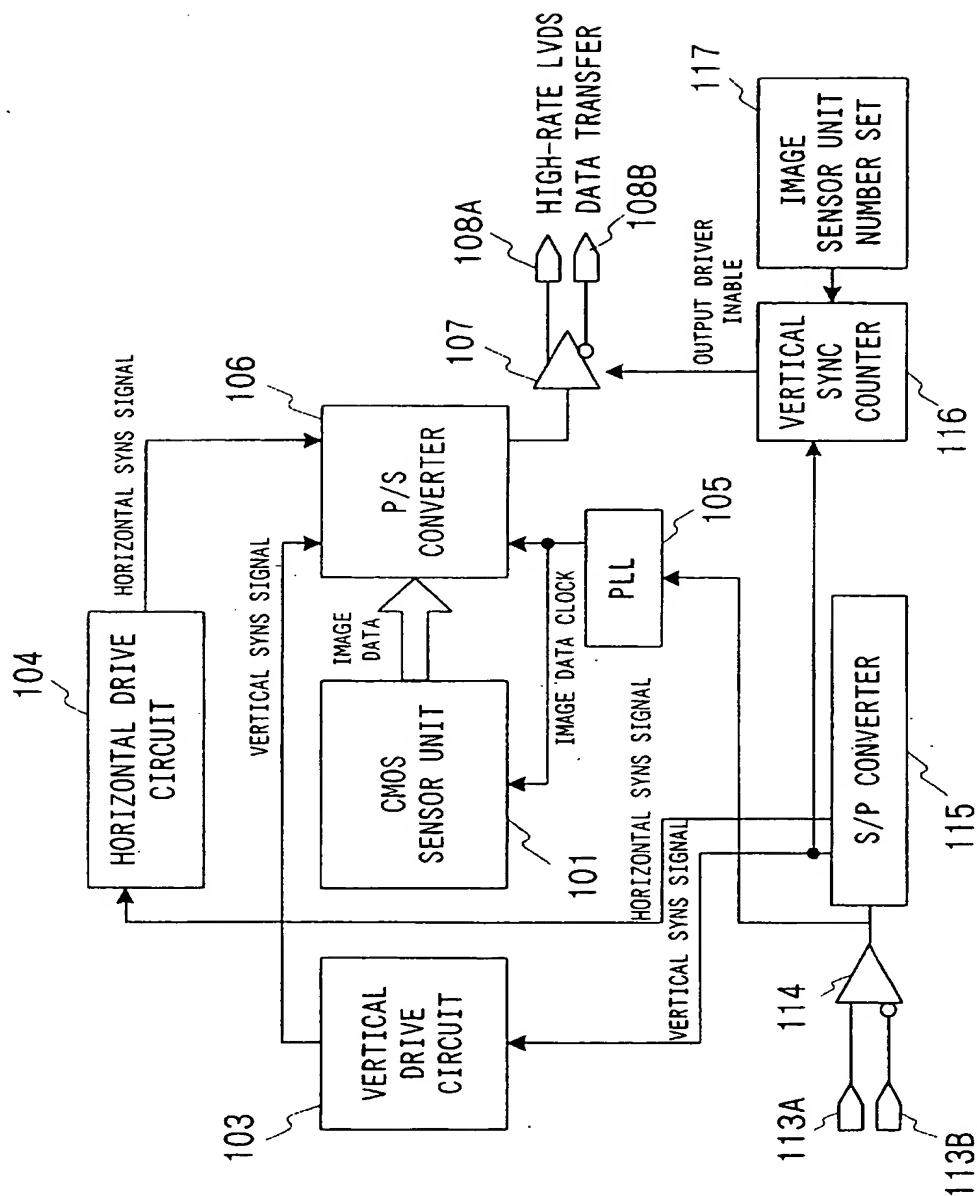


FIG. 9

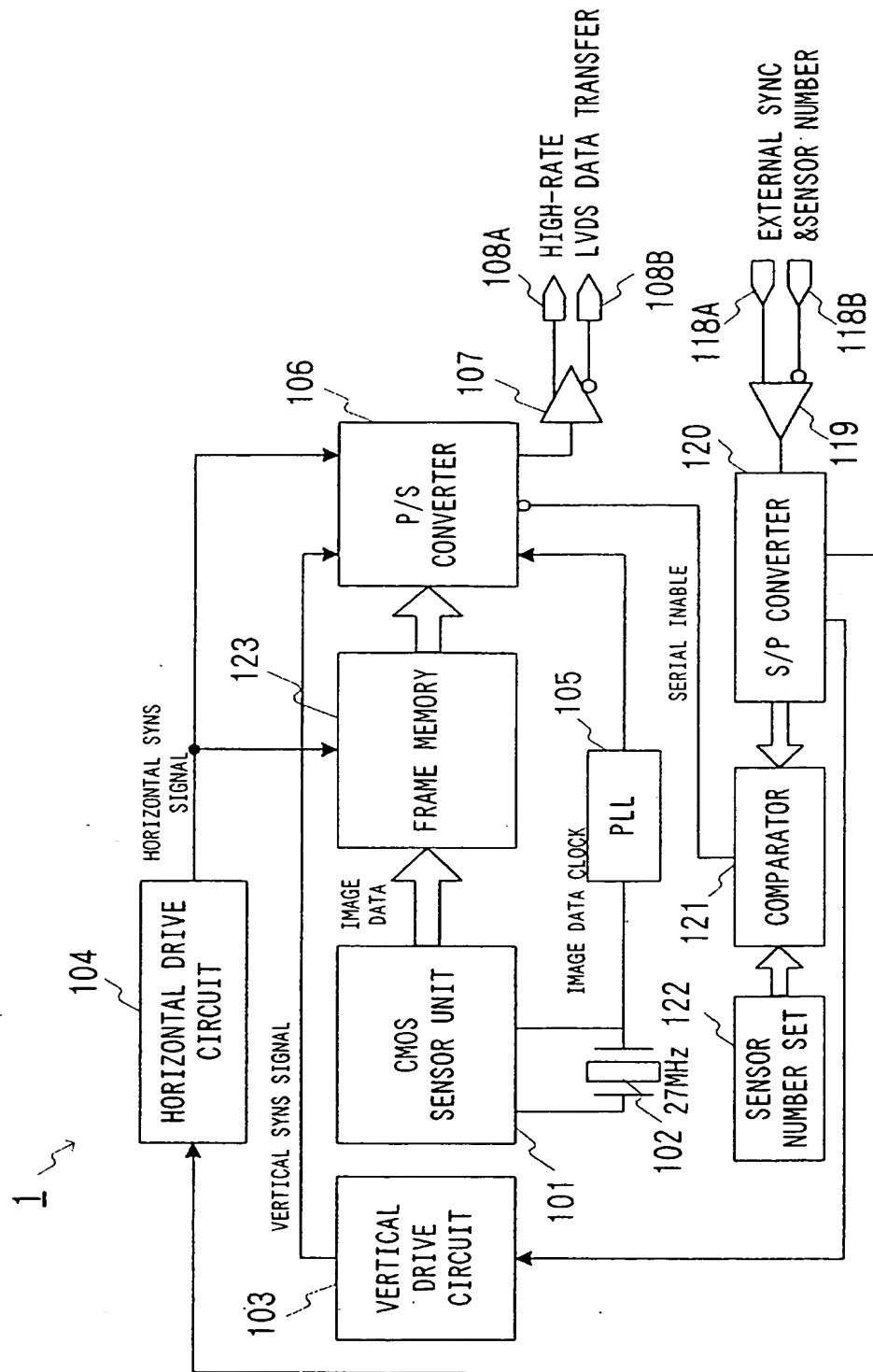


FIG. 10

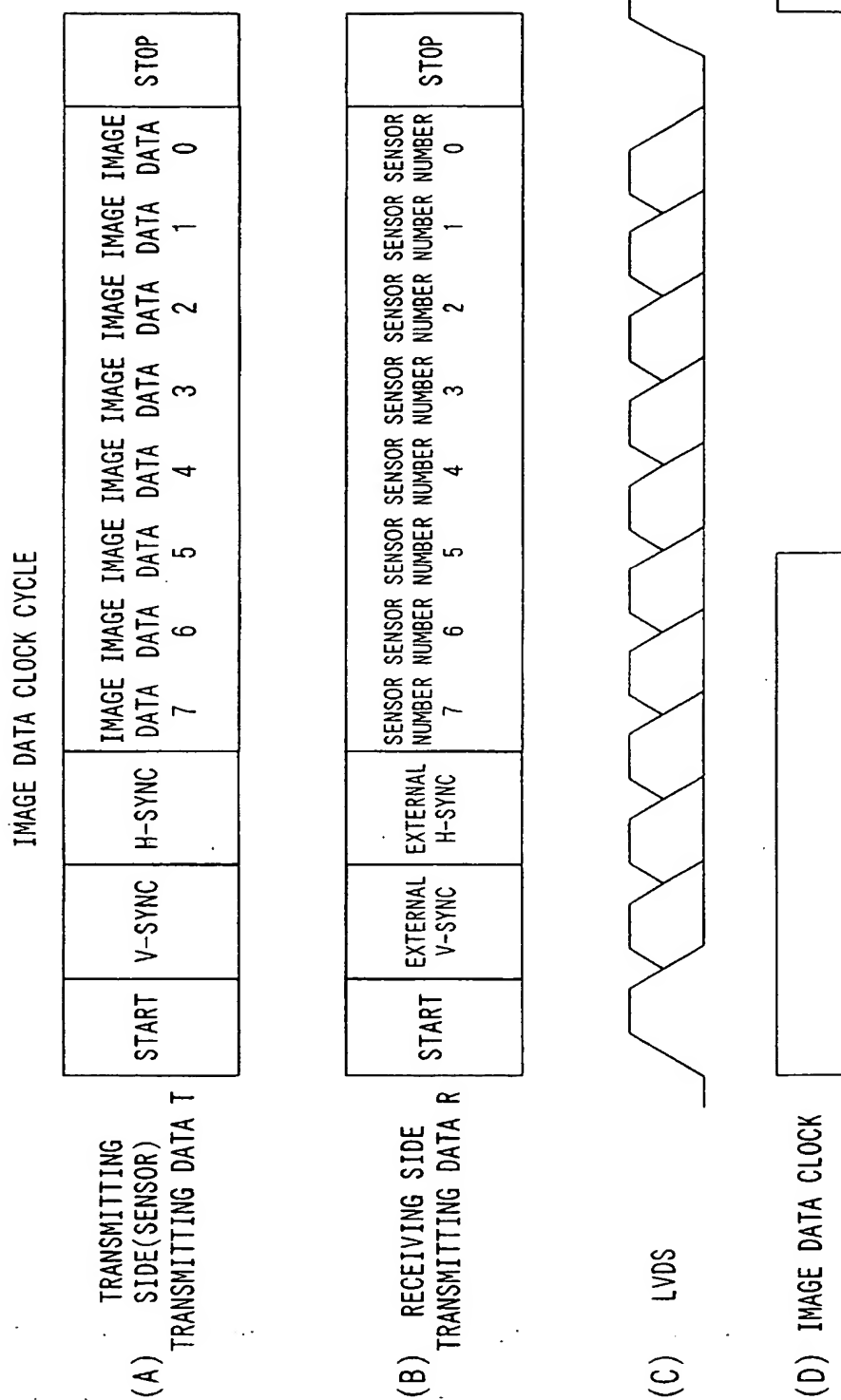


FIG. 11

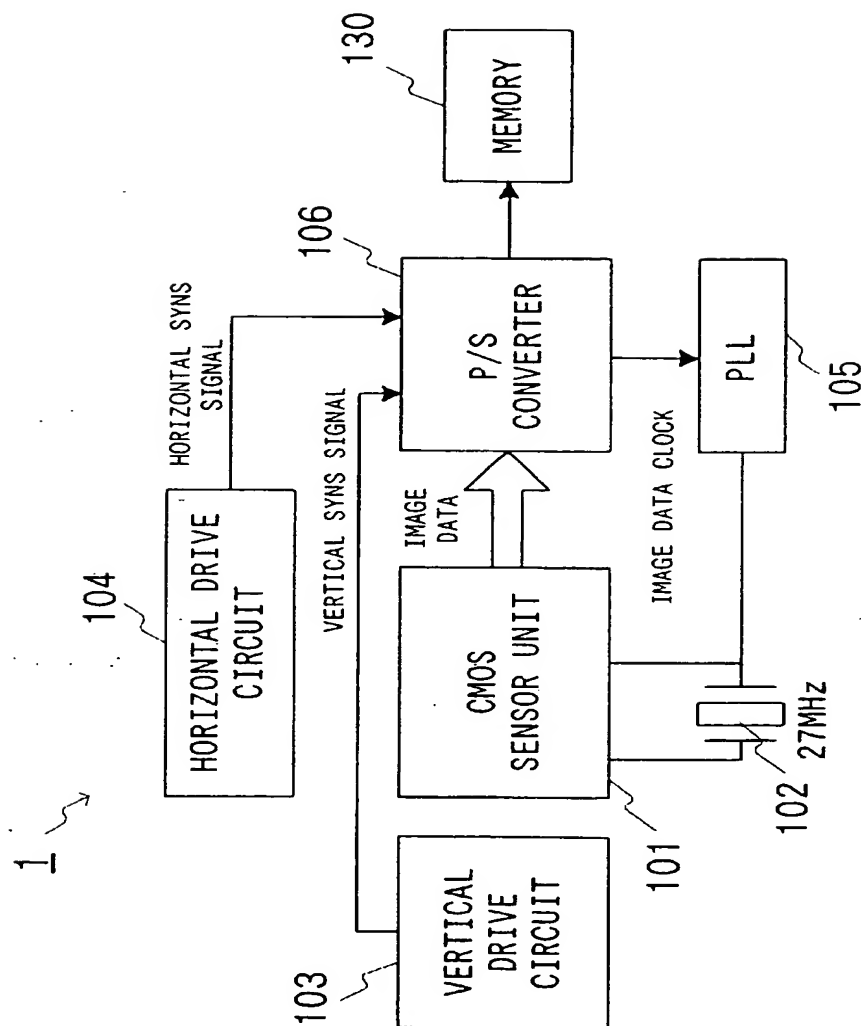
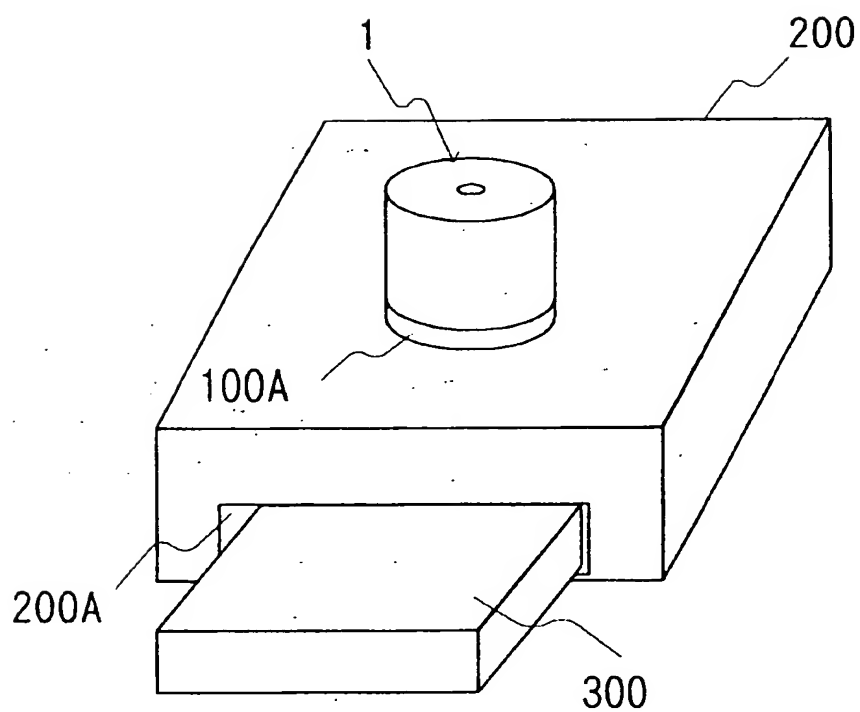


FIG. 12



CMOS IMAGE SENSOR UNIT WITH
SERIAL TRANSMITTING FUNCTION

BACKGROUND OF THE INVENTION

The present invention relates to CMOS image sensor units with serial data transmitting function and, more particularly, to CMOS image sensor units with serial data transmitting function, which are simple in construction while being reduced in size and cost, and pick-up units and image data transmitting and receiving systems using the same.

With recent manufacture yield improvement and cost reduction of image pick-up elements, various image pick-up devices utilizing semiconductor image pick-up elements, such as those in which an image pick-up element is set in a predetermined position in various apparatuses or buildings to pick up an image, convert the picked-up image into an electric signal and display the signal thus obtained in a display, have become actually used.

As the image pick-up element adopted for the above purpose, CCD has heretofore been usually used, which can be manufactured with high yield and at relatively low cost and have relatively stable characteristics with low fluctuation between individual elements. However, CCD requires three kinds of driving circuits, causing a relatively large power consumption. For this reason, image pick-up devices using CMOS element as the image pick-up element have recently been attracting attention.

Compared to CCD, however, the characteristics of CMOS have heretofore been fluctuated greatly with individual elements, resulting in appearance of fixed pattern noise in image data obtained by using a number of CMOS elements. For this reason, the CMOS has element not yet been widely used as the image pick-up element. In the mean time, with recent improvement in the CMOS manufacturing techniques, characteristics fluctuations with individual elements have become reduced, and the generation of fixed pattern noise in image data has become suppressed. Thus, the low power consumption merit of CMOS over CCD has started attracting attention.

An image signal which is obtained as electric signal by conversion in such an image pick-up element is transmitted to personal computer or like image processing unit. The image signal obtained as electric signal by conversion in the image pick-up element, is often converted to a digital signal and transmitted as parallel signal via a plurality of cables. The prior art sensor unit as described, however, has the following problems.

(1) System Interface

A digital signal obtained by a two-dimensional sensor, is usually required to be transmitted by multiple-bit high-rate transmission. For example, with a so-called CIF size image constituted by 320x240 pixels, in a case of assigning 8 bits per pixel, signals of total of 11 bits of pixel clocked at 6.75 MHz, vertical and horizontal synchronizing signals and 8 bits of pixel data. Moreover, in color image transmission 8 bits are often considered necessary for each of the R, G and B colors. This means that it is necessary to transmit 27 signals. If it is intended to transmit these signals at a high rate, it gives rise to problems in each data signal skew for the clock. In other words, it is difficult to normalize the impedance, the load capacitance, etc. of all the 27 signal line cables, inevitably resulting in fluctuations, phase deviations of data signal with respect to the clock signal, defective digital signal transmission and consequent image quality deterioration. Therefore, a plurality of signals are necessary as the above two-dimensional image signal. The prior art

sensor unit is thus not suited for systems aiming at reducing size and power consumption.

(2) Current Consumption

In a two-dimensional sensor with the digital output as described above, a sudden change in its output may result in noise generation. In view of the interface with external circuitry, usually an output capacity of at least about 2 mA is set for output buffer current. Simultaneous changes in 24 bit data cause a current change of 48 mA caused to momentarily flow into the output buffer. This current exceeds the consumed current in the two-dimensional sensor itself. Therefore, systems aiming at reducing size and power consumption pose problems in consumed current into the output buffer.

(3) Noise Generation

A great current caused to flow to the output buffer affects the sensor unit of the chip. In the chip, the sensor unit, inclusive of photo-diodes and amplifiers, operate analog-wise, and current changes other than the signal are preferably as less as possible. Such great current changes as in the output buffer greatly affect the sensor unit. Since such changes are synchronized to the clock, they are also synchronized to the sensor operation and affect as image noise.

(4) Distance of Data Transmission

In an output buffer which is usually employed, the load capacity is about 50 pF, and the current capacity is about 4 mA. If it is intended to use such an output buffer for data transmission at a high rate, it is inevitable to set a high matching impedance, resulting in shortening the transmission distance. For example, assuming the current capacity to be 4 mA, the least matching resistance is 1.25 k Ω at power supply voltage of 5 V. Where the video signal is transmitted as analog signal, usually the matching is done with 50 Ω , and in SCSI interface (for high-rate digital transmission) it is executed with 33 Ω /220 Ω . Thus, even in the matching impedance alone, for instance, the difference is about 10 times, and with transmission distance increase the signal attenuation is increased by 10 times. This is equivalent to a signal change increase to 10 times. That is, sufficient transmission can not be obtained unless the transmission distance or like influencing factor is reduced to one-tenth. Since common GND to all these digital data is adopted, a change in GND has adverse effects on all the digital signals. This is a significant cause of error occurrence in multiple-bit digital transmission, and adversely affects the image quality as noise (i.e., signal irrelevant to the sense signal) in the sensor unit.

It is summarized that the problems in the above prior art sensor unit are as follows. Since the sensor unit output is parallel data, signal lines (or cables) are required in number corresponding to the number of the parallel channels, thus leading to complication of the construction and size and cost increase thereof.

Besides, the increase of the number of cables gives rise to total current increase and hence consumed current increase.

Furthermore, the plurality of cables slightly vary in length, and characteristics fluctuations result in signal skew generation, giving rise to image quality deterioration problems.

SUMMARY OF THE INVENTION

An object of the present invention is to solve the above problems in the prior art by the provision of a CMOS sensor unit with serial data transmission function, which reduces consumed power, has simplified construction, is small in size, is subject to less effects of noise and less image quality deterioration and permits long distance data transmission, as

3

well as an image pick-up unit and an image data transmitting and receiving system using the same.

According to a first aspect of the present invention, there is provided a CMOS image sensor unit with serial data transmitting function comprising: a CMOS sensor unit as a two-dimensional sensor constituted by a plurality of CMOS elements arranged in a regular array in the row and column directions; a clock unit for obtaining a clock signal at a predetermined oscillation frequency; a PLL circuit unit receiving the clock signal from the clock unit; and a parallel-to-serial converter unit for converting parallel data read out from the CMOS sensor unit to serial data in synchronism to the clock signal from the PLL circuit; these units being mounted on a single image sensor unit.

According to a second aspect of the present invention, there is provided a CMOS image sensor unit with serial data transmitting function comprising: a CMOS sensor unit as a two-dimensional sensor constituted by a plurality of CMOS elements arranged in a regular array in the row and column directions; a clock unit for obtaining a clock signal at a predetermined oscillation frequency; a PLL circuit unit receiving the clock signal from the clock unit; a parallel-to-serial converter unit for converting parallel data read out from the CMOS sensor to serial data in synchronism to the clock signal from the PLL circuit; and a drive circuit unit for converting the serial image data obtained by conversion in the parallel-to-serial converter unit to a signal complying with an LVDS (low voltage differential signalling) signal transmitting system and providing the signal thus obtained as LVDS data; these units being mounted on a single image sensor unit.

According to a third aspect of the present invention, there is provided a CMOS image sensor unit with serial data transmitting function comprising: a CMOS sensor unit as a two-dimensional sensor constituted by a plurality of CMOS elements arranged in a regular array in the row and column directions; a clock unit for obtaining a clock signal at a predetermined oscillation frequency; a PLL circuit unit receiving the clock signal from the clock unit; a memory for storing image data provided from the CMOS sensor unit; and a parallel-to-serial converter unit for converting parallel data read out from the CMOS sensor unit to serial data in synchronism to the clock signal from the PLL circuit; these units being mounted on a single image sensor unit.

According to a fourth aspect of the present invention, there is provided a CMOS image sensor unit with serial data transmitting function comprising: a CMOS sensor unit as a two-dimensional sensor constituted by a plurality of CMOS elements arranged in a regular array in the row and column directions; a clock unit for obtaining a clock signal at a predetermined oscillation frequency; a PLL circuit unit receiving the clock signal from the clock unit; a memory for storing image data provided from the CMOS sensor unit; a parallel-to-serial converter unit for converting parallel data read out from the CMOS sensor unit to serial data in synchronism to the clock signal from the PLL circuit; and a drive circuit unit for converting the serial image data obtained by conversion in the parallel-to-serial converter unit to a signal complying with an LVDS (low voltage differential signalling) signal transmitting system and providing the signal thus obtained as LVDS data; these units being mounted on a single image sensor unit.

The memory is a line memory or a frame memory.

According to a fifth aspect of the present invention, there is provided a CMOS image sensor unit with serial data transmitting function comprising: a CMOS sensor unit as a

4

two-dimensional sensor constituted by a plurality of CMOS elements arranged in a regular array in the row and column directions; a clock unit for obtaining a clock signal at a predetermined oscillation frequency; a PLL circuit unit receiving the clock signal from the clock unit; a parallel-to-serial converter unit for converting parallel data read out from the CMOS sensor unit to serial data in synchronism to the clock signal from the PLL circuit; and a memory for storing the serial data from the parallel-to-serial converter unit; these units being mounted on a single image sensor unit.

The clock unit includes an oscillator for generating the clock signal by oscillation.

The clock unit includes a means for introducing a clock signal generated from an external oscillator.

The PLL circuit unit includes a program type PLL circuit.

The CMOS image sensor unit with serial data transmitting function further comprises a pick-up lens.

In the CMOS image sensor unit with serial data transmitting function, a drive circuit unit for converting the serial image data read out from the memory to a signal complying with an LVDS (Low Voltage Differential Signalling) signal transmitting system and providing the signal thus obtained as LVDS data is also mounted on the single image sensor unit.

The image data is sent out from the parallel-to-serial converter unit, the drive circuit unit or the memory according to an external transfer enable signal.

Predetermined image data is stored in the memory and read out with image data obtained by pick-up.

Predetermined image data is stored in the memory and read out in such a form that it is combined with image data obtained by pick-up.

Preset data is stored in the memory and read out together with the image data obtained by pick-up.

The preset data is stored in the memory and read out together with the image data obtained by pick-up and the preset data includes at least either sensor No. data specifying a sensor unit or master/slave data specifying the master/slave relation of a sensor unit.

According to a sixth aspect of the present invention, there is provided an image pick-up unit comprising a card-like body, the above CMOS image sensor unit being mounted on one surface of the card-like body, the card-like body having a card insertion hole formed in one surface of it, the card insertion hole permitting a card-like memory, which can store image data provided from the CMOS image sensor unit, to be inserted and taken out through it into and out of the body.

According to a seventh aspect of the present invention, there is provided an image data transmitting and receiving system, in which the above CMOS image sensor unit or the above image pick-up unit is provided on transmitting side, and which comprises only a single data receiving unit for receiving data sent out from the transmitting side.

According to an eighth aspect of the present invention, there is provided an image data transmitting and receiving system, in which a plurality of the above CMOS image sensor units or a plurality of the above image pick-up units are provided on transmitting side units, and which comprises only a single data receiving unit provided on receiving side for receiving data sent out from the transmitting side.

According to a ninth aspect of the present invention, there is provided an image data transmitting and receiving system, in which only a single CMOS image sensor unit stated above

5

or only a single image pick-up unit stated above is provided on transmitting side, and which comprises a plurality of data receiving units provided on receiving side for receiving data sent out from the transmitting side, the transmitting side CMOS image sensor unit being accessed independently by the receiving side data receiving units for receiving image data.

According to a tenth aspect of the present invention, there is provided an image data transmitting and receiving system, which comprises a plurality of CMOS image sensor units or a plurality of image pick-up units stated above, one of the CMOS image sensor units being used as master data receiving unit having a right of main control, the other CMOS image sensor units being all used as slave units, the master data receiving unit generating a synchronizing signal and accessing the slave units in synchronism with the synchronizing signal for receiving image data.

According to an eleventh aspect of the present invention, there is provided an image data transmitting and receiving system, wherein a plurality of CMOS image sensor units or a plurality of image pick-up units stated above are provided on transmitting and receiving sides, the transmitting and receiving sides being connected by common bus lines, vacant ones thereof being used for transmitting and receiving data.

Other objects and features will be clarified from the following description with reference to attached drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a block diagram showing a preferred embodiment of the CMOS image sensor unit (on transmitting side) with serial data transmitting function according to the present invention;

FIG. 2 is a block diagram of the receiving side image processing unit in the embodiment according to the present invention;

FIG. 3 shows a structure of serial image data in the embodiment of the present invention;

FIG. 4 is a schematic view showing a different embodiment of the CMOS image sensor unit with serial data transmitting function according to the present invention;

FIG. 5 is a schematic view showing the image processing unit in the receiving side in the embodiment of the present invention;

FIGS. 6(A)-(C) are timing charts showing image data clock, transfer enable signal and image data prescribing the operation of the circuits shown in FIGS. 4 and 5;

FIG. 7 is drawing representing the plurality-versus-one connection case in the embodiment;

FIG. 8 shows a construction of the CMOS image sensor unit side in the embodiment;

FIG. 9 is a schematic block diagram showing CMOS image sensor unit in the above plurality-to-plurality connection case in the embodiment;

FIGS. 10(A)-(D) show the format of LVDS data in the embodiment;

FIG. 11 shows a further embodiment of the CMOS image sensor unit according to the present invention; and

FIG. 12 shows a simplified example of image pick-up unit construction in the embodiment.

PREFERRED EMBODIMENTS OF THE INVENTION

Preferred embodiments of the present invention will now be described with reference to the drawings.

6

Embodiment of the CMOS image sensor unit with serial data transmitting function will now be described with reference to the drawings. FIG. 1 is a substantial block diagram showing a preferred embodiment of the CMOS sensor unit (on transmitting side) with serial data transmitting function.

This embodiment of the CMOS image sensor unit 1 with serial data transmitting function has a CMOS sensor unit 101 as two-dimensional sensor, which is constituted by a number of CMOS elements arranged in a regular array in the row and column directions. An image signal is read out from each of the CMOS elements in synchronism to a clock signal from an oscillator 102, which has an oscillation frequency of, for instance, 27 Hz. The CMOS sensor unit 101 also includes an amplifier for amplifying image signal from each CMOS element and an A/D converter for converting the amplified image signal to digital image data. The unit 101 thus provides the digital image data.

A PLL circuit 105 feeds out an image data clock, obtained by processing on the basis of an oscillation frequency signal from an oscillator 102, to a parallel-to-serial converter 106. The parallel-to-serial converter 106 receives a vertical synchronizing signal provided from a vertical drive circuit 103 for vertically driving the CMOS elements in the CMOS sensor unit 101 and a horizontal synchronizing signal provided from a horizontal drive circuit 104 for horizontally driving the CMOS elements in the CMOS sensor unit 101, and converts the parallel image data received from the CMOS sensor unit 101 to serial data under control of the image data clock from the PLL circuit 105. The image data clock from the PLL circuit 105 is converted through the parallel-to-serial conversion to the serial data. To secure the transmission rate, therefore, the clock frequency is correspondingly increased.

A driver 111 converts a transfer enable signal, which is inputted to input terminals 110A and 110B from an electronic apparatus, for instance a personal computer to a serial enable signal, and feeds out the serial enable signal to the vertical and horizontal drive circuits 103 and 104. Receiving the serial enable signal, the vertical and horizontal drive circuits 103 and 104 feed out the image data provided from the CMOS sensor unit 101 to the parallel-to-serial converter 106.

The serial image data obtained by conversion in the parallel-to-serial converter 106 is transferred as high-rate LVDS data from an LVDS driver 107.

The individual circuit components described above are mounted on a single image sensor unit, thus obtaining a CMOS sensor unit chip, from which the serial digital data is transmitted. This CMOS sensor unit thus can solve the problems in the CCD sensor unit using CCD that the multiple-bit structure increases the drive current. In addition, since all the necessary constituent elements are mounted on one image sensor unit, size reduction and cost reduction can be promoted.

In this embodiment, which has the above basic construction, the LVDS driver 107 (which is a code circuit) is mounted together with the other components on the chip. The LVDS driver 107 converts the serial image data provided from the parallel-to-serial converter 106 to a signal complying with the so-called LVDS (Low Voltage Differential Signalling) signal transmitting system. The LVDS signal thus obtained is transmitted, i.e., high-rate LVDS data transferred, from output terminals 108A and 108B to an image processing unit for executing such process as display, recording, printing, etc. by using a transmission line, which is relatively thin and can be easily handled, for instance a

twin cable. The transfer of signal as the LVDS signal conforms with the serial transmission standards, i.e., TIA/EIA-644 standards).

The serial image data provided from the output terminals 108A and 108B is formed as LVDS signal having a format configuration as shown in FIG. 3(A) in the image data clock cycle and in bit-by-bit correspondence as shown in FIG. 3(B).

In a specific example of the serial image data as shown in FIG. 3(A), subsequent to the start data the vertical and horizontal synchronizing signals, image data 7, image data 6, image data 5, image data 4, image data 3, image data 2, image data 1, image data 0 and finally stop data appear in the mentioned order. The start and stop data are prescribed by a rise and a fall instant of image data clock as shown in FIG. 3(C).

According to the present invention, it is possible to obtain the following various specific effects solving the prior art problems described above.

First, in view of the system interface, in this embodiment the PLL circuit and the parallel-to-serial converter are mounted on a chip for serial data transmission, and only a single transmission line is needed. Thus, no problem of fluctuations of the impedance, load capacity, etc., concerning each of a plurality of signal lines in the prior art arises. Also, no problem of structural complication arises. Furthermore, since only a single transmission line is needed, the power consumption is greatly reduced compared to the prior art.

Still further, according to the present invention the transmitting and receiving operations are done with differential signals on the basis of LVDS transmission. Thus, the supply current is uniformized or averaged, and noise affecting the sensor unit is reduced. Yet further, since differential signal is dealt with, any noise, if generated, can be removed because of no inter-pair potential difference. Further, it is possible to reduce the amplitude of signal, the drive current generated magnetic field, and the EMI generation thus can be suppressed. Moreover, the distance of data transmission can be greatly expanded.

As shown in FIG. 2, LVDS signal transmitted from the output terminals 108A and 108B of the CMOS image sensor unit 1 with serial data transmitting function via the transmission line is inputted to input terminals 201A and 201B of a personal computer or like receiving side image processing unit, and converted in an LVDS signal receiver circuit 202 to serial digital image data to be sent out to a PLL circuit 203 and a serial-to-parallel (S/P) converter 204. The serial-to-parallel converter 204 executes a process which is converse to the process executed in the transmitting side serial-to-parallel converter 106, which converts the serial data to the parallel data and sends out the image data and horizontal and vertical synchronizing signals as the output data.

FIGS. 4 and 5 are substantial schematic views showing a different embodiment of the CMOS image sensor unit with serial data transmitting function according to the present invention. FIG. 6 is a timing chart showing image data clock (A), transfer enable signal (B) and image data (C) prescribing the operation of the circuits shown in FIGS. 4 and 5.

This embodiment of the CMOS image sensor unit with serial data transmitting function comprises, in addition to the construction of the embodiment shown in FIGS. 1 and 2, a line memory 112 provided on the CMOS image sensor unit side (i.e., transmitting side).

The vertical and horizontal drive circuits 103 and 104 cause the image data to be fed out from the CMOS sensor

unit 101 and stored in a line memory 112 in response to serial enable signal, which is obtained by conversion of the input to the input terminals 110A and 110B in the drive circuit 111.

From the line memory 112 the image data is read out and fed out to the parallel-to-serial converter 106 according to the vertical and horizontal drive signals from the vertical and horizontal drive circuits 103 and 104.

The drive circuit (or code circuit) 107 converts the serial image data obtained by conversion in the parallel-to-serial converter 106 to a signal complying with the LVDS signal transmitting system, and transfers this LVDS signal as high-rate LVDS data via the output terminals 108A and 108B.

FIG. 5 shows the construction of the personal computer side (i.e., CPU side) of this embodiment. This embodiment comprises, in addition to the embodiment shown in FIG. 2, an image memory 205 for storing the parallel image data from the parallel-to-serial converter 204, a DMAC circuit 208 and a CPU 209. From the serial-to-parallel converter 204 the image data clock is sent out to a horizontal address counter 210 and the horizontal and vertical synchronizing signals to a vertical & frame address counter 211.

The CPU 209 receives the image data from the serial-to-parallel converter 204, and controls the DMAC circuit 208. The DMAC circuit 208 receives the oscillation frequency signal from the PLL circuit 203, and executes a DMAC control operation while feeding out a reference signal to the serial-to-parallel converter 204, the image memory 205, the horizontal address counter 210 and the driver 207. The driver 207 converts the reference signal to a transfer enable signal and feeds out this signal via output terminals 206A and 206B.

As described above, an interface between the transmitting side (i.e., CMOS sensor side) and receiving side (i.e., personal computer or CPU side) is constituted.

This embodiment corresponds to asynchronous access from the CPU or to DMA. Thus, the embodiment permits directly inputting the image data from the sensor controlled by the CPU to the memory sensor, and also dispenses with timing control circuit with FIFO or the like.

As described above, operation under control of a timing signal as shown in FIG. 6 is executed, and pixel data is updated at each enable timing. In this embodiment, the same signal is provided in the disable period of the enable signal. However, it is possible to make this period to be like the "enable" of the LVDS driver.

In the above description of the embodiment, the CMOS image sensor unit side is made to be the data transmitting side, and the personal computer is made to be the data receiving side. As for the combination of the data transmitting and receiving sides, there are (1) one versus one connection, (2) plurality versus one connection, (3) one versus plurality connection, (4) multiplex connection and (5) plurality versus plurality connection. These connection cases have a purpose of, for instance, using a CMOS image sensor unit as a monitor image pick-up unit by installing the unit at one or a plurality of monitored places and receiving the image data obtained in the unit for displaying the same on a display or the like. The various connection cases will now be described one after another.

(1) One-versus-one connection case

This connection case is a basic construction with one unit provided on the data transmitting side and also one unit on the data receiving side. The construction is shown in FIGS.

1 and 2. As described before, the CMOS image sensor unit 1 comprises the PLL circuit 105, the parallel-to-serial converter 106 and the LVDS driver 107. The parallel-to-serial converter 105 converts the vertical and horizontal synchronizing signals in addition to the 8-bit data. For compressing the data in one clock cycle period, start and stop signals at the clock cycle period are also simultaneously converted. The construction shown in FIGS. 4 and 5 is also of the one versus one connection case.

(2) Plurality versus one connection case

FIG. 7 shows the plurality-versus-one connection case. In this case, a plurality of CMOS image sensor units are provided on the transmitting side, and only one data receiving unit is provided on the receiving side. Specifically, one of a plurality (i.e., three in the Figure) of CMOS image sensor units serves as CMOS image sensor master 20, while the others serve as CMOS sensor slaves 21 and 22. In this case, the CMOS sensor master 20 sends out the slave number data designating a CMOS sensor slave to be controlled together with the synchronizing signals to the CMOS sensor slaves 21 and 22 for controlling the timings and sequence of transfer of image data obtained in the CMOS sensors 20 to 22 to the data receiving unit 30.

In other words, the CMOS sensor master 20 controls the sending-out of own image data to the data receiving unit 30 at such an instant that the send-out instants of the other CMOS sensors 21 and 22 will not coincide. Also, the master 20 executes such control that it sends out the slave number data designating CMOS sensor slaves together with the synchronizing signals to the CMOS sensor slaves 21 and 22 and the CMOS sensor slaves designated by the slave numbers send out the image data to the data receiving unit 30 at instants not coincident with one another according to the received synchronizing signals.

FIG. 8 shows the construction of the CMOS image sensor unit side in this case. In the CMOS sensor master 20, the data indicative of the fact that this unit is the master and that the number of slaves (i.e., two in this example) are set. A unique slave number is assigned and set for each of the CMOS sensor slaves 21 and 22.

The CMOS sensor master 20 once provides one frame of the image data obtained by itself, and no longer provides any image data while the CMOS sensor slaves 21 and 22 send out image data.

The CMOS sensor slaves 21 and 22 operate their own internal sensors (i.e., image pick-up elements) by detecting the vertical and horizontal synchronizing signals and the clock according to the signal received from the CMOS sensor master 20. By counting successive vertical synchronizing signal pulses, the slaves 21 and 22 can check whether a vertical synchronizing signal pulse is identical with their own slave number, for instance the first pulse representing the master, the second representing the slave 21, the third pulse representing the slave 22 and so forth.

When the count of the vertical synchronizing signal pulses become identical with the own sensor number, each CMOS sensor slave enables the LVDS driver to provide sensor data.

Referring to FIG. 8, in each CMOS sensor slave a driver 114 converts a transfer enable signal, which is received from the CMOS sensor master or like unit having a right of main control via input terminals 113A and 113B, to a serial enable signal, and sends out this signal to the CMOS sensor unit 101 and the serial-to-parallel converter 115.

The serial-to-parallel converter 115 converts the received serial enable signal to a parallel signal, and sends out the

vertical and horizontal synchronizing signals to the vertical drive circuit 103 and a vertical sync counter 116 and the horizontal drive circuit 104, respectively. The vertical sync counter 116 counts inputted pulses of vertical synchronizing signal, and compares the count of pulses and the own slave number, which is preset in a chip number setting unit 117. When the two compared numbers become identical, an output driver enable signal is sent out to the output driver 107. The output driver 107 transfers the high-rate LVDS data as noted before.

In this embodiment, one of the plurality of CMOS image sensor units is made to be the master having a right of main control while the others are made to be the slaves. However, it is obvious that it is also possible to provide the right of main control in the data receiving unit.

(3) One-versus-plurality connection

In this case, one common CMOS image sensor unit is provided for a plurality of data receiving units as image pick-up units. The construction on the CMOS sensor unit side is the same as shown in FIG. 1. A basic clock circuit is provided on the CMOS image sensor unit side, and image data which is obtained from the CMOS sensor unit in synchronism to the basic clock is sent out successively to the plurality of image pick-up units on the receiving side.

(4) Multiplex connection

This case is a modification of the plurality-versus-one connection described before, in connection with FIG. 7. In this case, a master having a right of main control is constituted as a data receiving unit, and all CMOS sensors are connected thereto as slaves. The master data receiving units generates synchronizing signals. In this construction, all the CMOS image sensor units as slaves are synchronously operated. The data receiving unit on the receiving side thus can freely select the image or switchingly display a plurality of sensor images in one image frame by selecting CMOS sensor unit or units.

As this system, there are two varieties. In one variety system, data bus is switched for each sensor. In the other variety system, common data bus is provided, and sensor drivers are activated by an enable signal. Furthermore, the system is one of two different types, one requiring enable signals corresponding in number to the number of sensors, the other adopting a cascade connection for using only a single enable signal.

(5) Plurality-versus-plurality connection

In this case, a plurality of CMOS image sensor units on the transmitting side and a plurality of signal input systems on the receiving sides are inter-connected by a common cable (or data bus line). This construction permits transmitting the data in units of frames, lines and pixels by preparing a "Busy" signal line which can indicate that the data bus line is not occupied. When the "Busy" signal is "disable", a CMOS sensor unit on the transmitting side knows that the bus is not occupied, so that it can transmit its own sensor No. and data. The receiving side receives data send out from a unit of a necessary sensor No.

FIG. 9 is a schematic block diagram showing CMOS image sensor unit in the above plurality-to-plurality connection case. In the Figure, reference numerals like those in FIGS. 1 and 4 designate like components.

In the case of FIG. 9, a frame memory 123 is used in lieu of the line memory shown in FIG. 4, and stores image data from the CMOS sensor unit 101.

A driver 119 converts external synchronizing signals and sensor No. data received via input terminals 118A and 118B,

and a serial-to-parallel converter 120 converts the serial output of the driver 119 to parallel signal. Synchronizing signals thus obtained are fed out to the vertical and horizontal drive circuits 103 and 104. The sensor No. data is fed out to a comparator 121.

A sensor No. setting unit 122, in which the sensor No. of the CMOS sensor unit 101 to be taken out is preset, feeds out this sensor No. to the comparator 121. The comparator 121 compares the sensor No. from the serial-to-parallel converter 120 and the sensor No. preset in the sensor No. setting unit 122, and when the two No. data are identical, it feeds out a serial enable signal to the parallel-to-serial converter 106. The parallel-to-serial converter 106, receiving the vertical and horizontal synchronizing signals from the vertical and horizontal drive circuits 103 and 104, feeds out the output signal to the LVDS driver 107 in response to the serial enable signal. The driver 107 transfers the LVDS data noted above (shown in FIG. 10(C)) by high-rate LVDS data transfer.

FIG. 10(A) shows the format of data outputted from the output terminals 108A and 108B. As shown, the LVDS data, which is transferred in response to the serial enable signal and image data clock as shown in FIG. 10(D), includes start data, vertical and horizontal synchronizing signals, image data 7, image data 6, image data 5, image data 4, image data 3, image data 2, image data 1, image data 0 and stop data appearing in the mentioned order.

FIG. 10(B) shows the format of data inputted to the output terminals 117A and 117B. The data includes start data, external vertical and horizontal signals, sensor No. 7, sensor No. 6, sensor No. 5, sensor No. 4, sensor No. 3, sensor No. 2, sensor No. 1, sensor No. 0 and stop data appearing in the mentioned order.

FIG. 11 shows a further embodiment of the CMOS image sensor unit according to the present invention. In this case, the system for transmitting the data to the memory outside is dispensed with, and a memory 130, for instance flash memory, is mounted to provide an image pick-up unit with improved portability. In this example, the image data provided from the parallel-to-serial converter 106 is directly stored in the memory 130. The memory may be mounted fixedly or detachably.

The above construction is convenient in view of the portability. In addition, by storing image picked up in the image pick-up unit in the memory, it is possible to read out the image data from the memory or take out the memory for image processing as desired. In this case, the picked-up image may be combined with predetermined image data (for instance background image data) stored in the memory, thus simply obtaining a synthesized image.

In this embodiment, it is of course possible to provide an LVDS driver like the LVDS driver 107 described before.

FIG. 12 shows an example of such image pick-up unit construction. This example comprises a card-like body 200, which supports the above CMOS image sensor unit 1 mounted on one surface thereof, and has a card insertion hole 200A formed in a side surface. A card-like memory 300, for instance a flash memory, can be inserted and taken out from the body through the card insertion hole 200A. At the bottom of the CMOS image sensor unit 1, a substrate 100A is provided, on which is mounted the electric circuit system having the CMOS sensor unit 101, the oscillator 102, the vertical and horizontal drive circuits 103 and 104, the PLL circuit 105, the parallel-to-serial converter 106, etc.

In each of the above embodiments of the present invention, preset data such as the No. data, e.g., sensor No.,

chip No., slave No., etc. specifying the sensor unit, the master/slave data specifying the master/slave relation and the ratio factor data, are preset in memory, e.g., image memory, frame memory, card-like memory, etc., setting unit, e.g., chip No. setting unit, sensor No. setting unit, etc., CMOS sensor unit, PLL unit and so forth, or they are stored from the master side at the start of operation and read out alone or together with the image data in response to a transmission request from the master side.

The applications of the present invention as described above are by no means limitative, and the present invention can find various other applications as well. In monitoring systems and the like, it is strongly demanded to have the image pick-up units buried in personal computers or dispose a number of image pick-up units in a number of places, and the present invention can usefully meet such demands.

While some preferred embodiments of the CMOS image sensor unit with serial data transmitting function according to the present invention have been described, these particular embodiments are by no means limitative, and the person skilled in the art will readily understand that various changes and modifications of these embodiments are possible to meet particular applications. The present invention thus covers such changes and modifications as well.

For example, while in the above description the CMOS sensor unit includes an oscillator for generating a clock signal, in the basic concept underlying the present invention it is necessary to obtain a clock signal in any way. By providing a means for introducing an externally fed-out clock signal (for instance a clock signal generated from an external oscillator), the oscillator itself need not be included, and the construction thus can be simplified. Also, as for the PLL circuit, the circuit construction itself is not important, and any means which can provide the PLL function can be sufficiently used. For instance, it is possible to use a programmable PLL circuit or the like capable of selecting the ratio factor of the output frequency with respect to the input frequency. Furthermore, optical system (for instance an image pick-up lens) may be provided in the CMOS image sensor unit for focusing an optical image thereon. In this case, a very small image pick-up device can be realized, which has an optical system and an electric system integral with each other.

As has been described in the foregoing, in the CMOS image sensor unit with serial data transmitting function according to the present invention a PLL circuit, a parallel-to-serial converter and an LVDS driver are provided as integral components. Thus, it is possible to obtain a simplified construction, reduce signal deterioration, reduce consumed current, reduce noise, extend the transmission distance and have integral means providing the memory function. It is thus possible to expand the scope of applications of the CMOS image sensor unit with serial data transmitting function.

What is claimed is:

1. A CMOS image sensor unit with serial data transmitting function comprising:

- a CMOS sensor unit as a two-dimensional sensor constituted by a plurality of CMOS elements arranged in a regular array in the row and column directions;
- a clock unit for obtaining a clock signal at a predetermined oscillation frequency;
- a phase locked loop circuit unit receiving the clock signal from the clock unit; and
- a parallel-to-serial converter unit for converting parallel data read out from the CMOS sensor to serial data in synchronism to the clock signal from the phase locked loop circuit;

these units being mounted on a single image sensor unit.

13

2. The CMOS image sensor unit with serial data transmitting function of claim 1 further comprising:

a drive circuit unit for converting the serial image data obtained by conversion in the parallel-to-serial converter unit to a signal complying with an LVDS (low voltage differential signalling) signal transmitting system and providing the signal thus obtained as LVDS data;

these units being mounted on a single image sensor unit.

3. The CMOS image sensor unit with serial data transmitting function of claim 1 further comprising:

a memory for storing image data provided from the CMOS sensor unit;

these units being mounted on a single image sensor unit.

4. The CMOS image sensor unit with serial data transmitting function of claim 1 further comprising:

a memory for storing image data provided from the CMOS sensor unit;

a drive circuit unit for converting the serial image data obtained by conversion in the parallel-to-serial converter unit to a signal complying with an LVDS (low voltage differential signalling) signal transmitting system and providing the signal thus obtained as LVDS data;

these units being mounted on a single image sensor unit.

5. The CMOS image sensor unit with serial data transmitting function according to claim 3, wherein the memory is a line memory or a frame memory.

6. The CMOS image sensor unit with serial data transmitting function of claim 1 further comprising:

a memory for storing the serial data from the parallel-to-serial converter unit;

these units being mounted on a single image sensor unit.

7. The CMOS image sensor unit with serial data transmitting function according to claim 1, wherein the clock unit includes an oscillator for generating the clock signal by oscillation.

8. The CMOS image sensor unit with serial data transmitting function according to claim 1, wherein the clock unit includes a means for introducing a clock signal generated from an external oscillator.

9. The CMOS image sensor unit with serial data transmitting function according to claim 1, wherein the PLL circuit unit includes a program type PLL circuit.

10. The CMOS image sensor unit with serial data transmitting function according to claim 1, which further comprises a pick-up lens.

11. The CMOS image sensor unit with serial data transmitting function according to claim 6, wherein a drive circuit unit for converting the serial image data read out from the memory to a signal complying with an LVDS (Low Voltage Differential Signalling) signal transmitting system and providing the signal thus obtained as LVDS data is also mounted on the single image sensor unit.

12. The CMOS image sensor unit with serial data transmitting function according to claim 1, wherein the image data is sent out from the parallel-to-serial converter unit, the drive circuit unit or the memory according to an external transfer enable signal.

13. The CMOS image sensor unit with serial data transmitting function according to claim 6, wherein predetermined image data is stored in the memory and read out with image data obtained by pick-up.

14. The CMOS image sensor unit with serial data transmitting function according to claim 6, wherein predetermined image data is stored in the memory and read out in such a form that it is combined with image data obtained by pick-up.

14

15. The CMOS image sensor unit with serial data transmitting function according to claim 6, wherein preset data is stored in the memory and read out together with the image data obtained by pick-up.

16. The CMOS image sensor unit with serial data transmitting function according to claim 6, wherein preset data is stored in the memory and read out together with the image data obtained by pick-up and the preset data includes at least either sensor number data specifying a sensor unit or master/slave data specifying the master/slave relation of a sensor unit.

17. An image pick-up unit comprising a card-like body, a CMOS image sensor unit with serial data transmitting function comprising a CMOS sensor unit as a two-dimensional sensor constituted by a plurality of CMOS elements arranged in a regular array in the row and column directions, a clock unit for obtaining a clock signal at a predetermined oscillation frequency, a phase locked loop circuit unit receiving the clock signal from the clock unit and a parallel-to-serial converter unit for converting parallel data read out from the CMOS sensor to serial data in synchronism to the clock signal from the phase locked loop circuit, these units being mounted on a single image sensor unit being mounted on one surface of the card-like body, the card-like body having a card insertion hole formed in one surface of it, the card insertion hole permitting a card-like memory, which can store image data provided from the CMOS image sensor unit, to be inserted and taken out through it into and out of the body.

18. The image pick-up unit of claim 17 further comprising a drive circuit unit for converting the serial image data obtained by conversion in the parallel-to-serial converter unit to a signal complying with an LVDS (low voltage differential signalling) signal transmitting system and providing the signal thus obtained as LVDS data, these units being mounted on a single image sensor unit being mounted on one surface of the card-like body, the card-like body having a card insertion hole formed in one surface of it, the card insertion hole permitting a card-like memory, which can store image data provided from the CMOS image sensor unit, to be inserted and taken out through it into and out of the body.

19. The image pick-up unit of claim 17 further comprising a memory for storing image data provided from the CMOS sensor unit, these units being mounted on a single image sensor unit being mounted on one surface of the card-like body, the card-like body having a card insertion hole formed in one surface of it, the card insertion hole permitting a card-like memory, which can store image data provided from the CMOS image sensor unit, to be inserted and taken out through it into and out of the body.

20. The image pick-up unit of claim 17 further comprising a memory for storing image data provided from the CMOS sensor unit, and a drive circuit unit for converting the serial image data obtained by conversion in the parallel-to-serial converter unit to a signal complying with an LVDS (low voltage differential signalling) signal transmitting system and providing the signal thus obtained as LVDS data, these units being mounted on a single image sensor unit being mounted on one surface of the card-like body, the card-like body having a card insertion hole formed in one surface of it, the card insertion hole permitting a card-like memory, which can store image data provided from the CMOS image sensor unit, to be inserted and taken out through it into and out of the body.

21. The image pick-up unit of claim 17 further comprising a memory for storing the serial data from the parallel-to-

15

serial converter unit, these units being mounted on a single image sensor unit being mounted on one surface of the card-like body, the card-like body having a card insertion hole formed in one surface of it, the card insertion hole permitting a card-like memory, which can store image data provided from the CMOS image sensor unit, to be inserted and taken out through it into and out of the body.

22. An image data transmitting and receiving system, in which the CMOS image sensor unit according to claim 1 is provided on transmitting side, and which comprises only a single data receiving unit for receiving data sent out from the transmitting side.

23. An image data transmitting and receiving system, in which a plurality of CMOS image sensor units according to claim 1 are provided on transmitting side units, and which comprises only a single data receiving unit provided on receiving side for receiving data sent out from the transmitting side.

24. An image data transmitting and receiving system, in which only a single CMOS image sensor unit according to claim 1 is provided on transmitting side, and which comprises a plurality of data receiving units provided on receiving side for receiving data sent out from the transmitting side, the transmitting side CMOS image sensor unit being accessed independently by the receiving side data receiving units for receiving image data.

25. An image data transmitting and receiving system, which comprises a plurality of CMOS image sensor units according to claim 1, one of the CMOS sensor units being used as master data receiving unit having a right of main control, the other CMOS image sensor units being all used as slave units, the master data receiving unit generating a synchronizing signal and accessing the slave units in synchronism with the synchronizing signal for receiving image data.

26. An image data transmitting and receiving system, wherein a plurality of CMOS image sensor units according to claim 1 are provided on transmitting and receiving sides, the transmitting and receiving sides being connected by common bus lines, vacant ones thereof being used for transmitting and receiving data.

27. A method for generating image data comprising:

- a) reading out an image signal from each of a plurality of CMOS elements;

16

- b) converting the image signals to digital image data;

- c) providing the digital image data to a parallel to serial converter to generate serial digital image data; and

- d) providing the serial digital image data to an low voltage differential signaling driver to generate a high-rate low voltage differential signaling encoded image signal.

28. The method of claim 27 further comprising:

- amplifying the image signals before the act of converting the image signals to digital image data.

29. The method of claim 27 wherein the act of reading out an image signal from each of a plurality of CMOS elements is performed in synchronism with a clock signal.

30. The method of claim 27 further comprising:

- generating a vertical synchronizing signal;
- generating a horizontal synchronizing signal; and
- generating an image clock signal,

wherein the serial digital image data is generated based on at least two of the vertical synchronizing signal, the horizontal synchronizing signal and the image clock signal.

31. The method of claim 30 further comprising:

- accepting a transfer enable signal,
- wherein the vertical and horizontal synchronizing signals are generated based on the transfer enable signal.

32. The method of claim 30 further comprising:

- accepting a transfer enable signal; and
- generating a serial enable signal based on the transfer enable signal,
- wherein the vertical and horizontal synchronizing signals are generated based on the serial enable signal.

33. The method of claim 27, further comprising:

- supplying a clock signal to a phase locked loop circuit from a clock unit; and
- supplying a clock signal from the phase locked loop circuit for converting the digital image data to the serial digital image data in synchronism to the clock signal from the phase locked loop circuit.

* * * * *

THIS PAGE BLANK (USPTO)